N° d'ordre

72 - 155

THESE

PRESENTEE

A L'UNIVERSITE SCIENTIFIQUE ET MEDICALE
DE GRENOBLE

POUR OBTENIR

LE TITRE DE DOCTEUR INGENIEUR

par

Michel VERHAEGHE

ETUDE ET REALISATION DE CIRCUITS INTEGRES LOGIQUES ULTRA RAPIDES DE MOYENNE COMPLEXITE

Soutenue le 16 août 1972, devant la Commission d'Examen

MM. M. BUYLE-BODIN — Président

R. PERRET
J. LACOUR — Examinateurs

N° d'ordre

72 - 155

T H E S E

PRESENTEE

A L'UNIVERSITE SCIENTIFIQUE ET MEDICALE
DE GRENOBLE

POUR OBTENIR

LE TITRE DE DOCTEUR INGENIEUR

par

Michel VERHAEGHE

ETUDE ET REALISATION DE CIRCUITS INTEGRES LOGIQUES ULTRA RAPIDES DE MOYENNE COMPLEXITE

Soutenue le 16 août 1972, devant la Commission d'Examen

MM.	M. BUYLE-BODIN	Président
	R. PERRET	Examinateurs
	J. LACOUR	

UNIV.
LEIDEN
BIBL.

Ce travail a été effectué au Centre d'Etudes Nucléaires de GRENOBLE.

J'adresse mes remerciements à Monsieur CORDELLE, Directeur du Laboratoire d'Electronique et de Technologie de l'Informatique qui a accepté de m'accueillir dans son Laboratoire.

Que Monsieur le Professeur BUYLE-BODIN trouve ici l'expression de ma profonde gratitude pour l'intérêt qu'il a porté à cette étude et pour avoir bien voulu accepter la présidence du Jury.

Je tiens à remercier particulièrement Monsieur LACOUR qui a suivi ce travail, pour son aide efficace, et ses nombreux conseils sur l'orientation à donner à cette étude.

Que Monsieur le Professeur PERRET et Monsieur CHAPRON, qui ont accepté de faire partie du Jury, acceptent l'expression de ma sincère reconnaissance.

Qu'il me soit permis de remercier Messieurs ROCHET et ROUSSEAU dont les nombreux conseils et suggestions ont été d'une grande utilité au cours de cette étude.

Je n'oublierai pas Monsieur COQUELLE, ainsi que tous mes camarades du Laboratoire de Microélectronique dont j'ai pu apprécier la collaboration amicale et active.

Je remercie enfin le Commissariat à l'Energie Atomique qui a bien voulu m'attribuer une bourse d'études pendant la durée de ces recherches.

NOTATIONS UTILISEES

B, b	relatif à la base d'un transistor
C, c	relatif au collecteur d'un transistor
C_{eb}, C_{cb}	capacités inter-électrodes d'un transistor
C_{teo}, C_{tco}, C_{tso}	valeur de la capacité de diffusion en l'absence de polarisation extérieure
C_d	capacité de diffusion d'une jonction
C_t	capacité de transition d'une jonction
$\overline{C_b}$, $\overline{C_s}$	capacité moyenne vue de la base, de la sortie
E, e	relatif à l'émetteur d'un transistor
F	facteur de mérite
f_T	fréquence de coupure de α , pour laquelle $\alpha = 0,5$
G	gain en mode commun d'un opérateur
G_d	gain différentiel d'un opérateur
I_o, I_1,..	courants dans les jonctions émetteur-base (schéma électrique des opérateurs)
I_{ej}, I_{cj}, I_{sj}	courants dans les jonctions émetteur-base, collecteur-base, base-substrat (représentation d'Ebers et Moll)
I_{eo}, I_{co}, I_{so}	courant de fuite de ces jonctions
I_b, I_c, I_e	courants relatifs au transistor (Annexe 1)
I_r	courant de référence
I_s	courant de sortie
IB^o, IB^1	immunité au bruit par rapport au niveau bas, au niveau haut
IS	immunité à la saturation
K	coefficient de proportionnalité
k_e, k_c, k_s	coefficients de diffusion (représentation d'Ebers et Moll)
L	longueur d'une résistance diffusée entre contacts

l	largeur de cette résistance
m	nombre d'opérateurs de base affectés à un bloc de polarisation
n	nombre d'étages de cet opérateur
n_c, n_e, n_s	coefficients (représentation d'Ebers et Moll)
p	sortance d'un opérateur de base ("portes" et "blocs à aiguillage de courant")
q	sortance d'un opérateur de base (circuits de décalage)
P	puissance
R_a, R_b, R_c, R_d, R_e	résistances des opérateurs de base
$\overline{R_b}$, $\overline{R_s}$	résistance moyenne vue de la base, de la sortie
$R_{bb'}$, $R_{cc'}$	résistance d'accès à la base, au collecteur
R_{cc}	résistance de contact d'une résistance diffusée
R_{th}	résistance thermique d'un boîtier
R_s, $R_\square$	résistance carrée d'une diffusion
SL	saut logique de sortie d'un opérateur de base
T_a, T_j	température ambiante, de jonction
t_p, t_m, t_d	temps de propagation, de montée, de descente d'un signal
t_o	durée de la rampe de tension attaquant un opérateur (annexe 2)
V_O, V_1,...	tension aux bornes d'une jonction émetteur-base
V_a, V_b, V_c, V_e, V_g, V_p, V_s	tensions exprimées par rapport à la masse
V_b^o, V_c^o, V_e^o	niveau bas d'un signal logique
V_b^1, V_c^1, V_e^1	niveau haut d'un signal logique
$V_{\varphi e}$, $V_{\varphi c}$, $V_{\varphi s}$	potentiel de contact des jonctions émetteur-base, collecteur-base et collecteur-substrat
V_T	potentiel thermique, $V_T = \frac{kT}{q}$ = 25 mV, à T = 273°K
W	épaisseur de la diffusion base
X_j	profondeur de jonction
z	grandeur définie pour un opérateur de base par $z = \frac{\alpha R_c I_r}{V_T}$
α_n, α	gain en courant d'un transistor polarisé normalement dans la configuration base à la masse
α_i	même définition que α_n, mais en inversant l'émetteur et le collecteur
β	gaine en courant d'un transistor polarisé normalement dans la configuration émetteur à la masse
β_o	valeur du gain en courant en basse fréquence
γ	nombre de transistors attaqués par le même signal d'entrée pour un opérateur de base (annexe 1)

Δv	chute de tension dans les lignes d'alimentation
δV_o	écart entre les tensions émetteur-base de deux transistors parcourus par le même courant
τ	constante de temps d'un système du premier ordre
τ_e, τ_c	constantes de temps utilisées dans la représentation d'Ebers et Moll
τ_b, τ_c	constantes de temps du circuit d'entrée et du circuit de sortie d'un amplificateur différentiel

TABLE DES MATIERES

	Pages
INTRODUCTION	1
DEROULEMENT DE L'ETUDE	3
I. ETUDE ET CONCEPTION DES OPERATEURS DE BASE	4
1. Comparaison entre les logiques TTL et ECL	5
1.1 Performances dynamiques	5
1.2 Performances statiques	5
1.3 Réalisation d'opérateurs complexes	6
2. Rappels sur la logique à aiguillage de courant	6
2.1 Porte à émetteurs couplés	6
2.2 Bloc à aiguillage de courant	7
2.3 Circuits annexes	7
3. Conception d'opérateurs ultra-rapides, de faible consommation	8
3.1 Analyse d'une porte logique conventionnelle	8
3.2 Conception des opérateurs de la partie interne	10
3.2.1 Porte logique à émetteurs couplés	10
3.2.2 Blocs à aiguillage de courant	12
3.2.3 Définition d'un réseau de compensation	12
3.2.4 Caractéristiques statiques des opérateurs	13
3.3 Conception des interfaces	14
3.3.1 Interfaces de sortie	14
3.3.2 Interfaces d'entrée	15
4. Apport des techniques de simulation à la conception des opérateurs de base	16
4.1 Choix d'une technique de simulations	16
4.1.1 Simulations par câblage sur table en éléments discrets	16
4.1.2 Simulations sur calculateur	16
4.2 Choix d'un modèle mathématique	17
4.3 Schéma équivalent des éléments	17

Pages

4.3.1 Transistor bipolaire 17
4.3.2 Diode 18
4.3.3 Résistance 18

4.4 Détermination des paramètres 18

4.5 Utilisation de la conception assistée par ordinateur 20

4.5.1 Etude des dispersions sur les niveaux logiques 20
4.5.2 Performances dynamiques des opérateurs de base 20

5. Evaluation des performances 22

II. EXPLOITATION DES OPERATEURS DE BASE 25

1. Etude fonctionnelle des opérateurs de base 25

1.1 Porte élémentaire 25
1.2 Bloc à aiguillage de courant 26
1.3 Généralisation de l'aiguillage de courant 27
1.4 Fonction mémoire 27
1.5 Circuits de décalage 27

2. Constitution d'une famille d'opérateurs de base 27

2.1 Représentation 27
2.2 Notations 27
2.3 Classification des opérateurs 28
2.4 Récapitulation 28

3. Etude de sous-ensembles logiques 28

3.1 Définition d'une bascule de base 28

3.1.1 Réalisation d'une bascule maître esclave à l'aide de portes 29
3.1.2 Réalisation d'une bascule maître esclave à l'aide de l'aiguillage de courant 29
3.1.3 Réalisation des circuits de présélection 29

3.2 Etude de registres à décalage 29
3.3 Etude de décades 30
3.4 Etude de sous-ensembles de fonctions logiques complexes 31
3.5 Etude de sous-ensembles de fonctions arithmétiques complexes 31

3.5.1 Additionneur parallèle à retenue en cascade 32
3.5.2 Additionneur parallèle à retenue anticipée 32
3.5.3 Unité logique et arithmétique 33

III. RESOLUTION DES PROBLEMES D'IMPLANTATION 34

1. Vue d'ensemble sur les différentes techniques d'intégration des transistors bipolaires 34

1.1 Méthode du câblage sélectif 35
1.2 Méthode de l'interconnexion fixe 35

Pages

1.2.1 Technique du circuit à la demande 35
1.2.2 Technique des blocs préfabriqués 35
1.2.3 Matrice d'éléments diffusés 36

1.3 Utilisation d'un réseau de connexions multicouches 36

1.4 Choix d'une technique d'intégration 37

2. Recherche d'une méthode originale d'implantation 38

2.1 Définition des objectifs 38
2.2 Méthode d'implantation "MEDICIS" 38
2.3 Applications 39

3. Utilisation de la méthode MEDICIS 39

3.1 Problèmes particuliers posés par l'implantation d'opérateurs ECL 39
3.2 Composition des cellules 39
3.3 Assemblage des cellules 40

IV. REALISATION D'ENSEMBLES LOGIQUES ULTRA-RAPIDES, DE MOYENNE COMPLEXITE 41

1. Réalisation des circuits d'essai à partir de la matrice d'étude 41

1.1 Présentation de la matrice d'étude 41
1.2 Définition des circuits d'essai 42
1.3 Caractéristiques relevées sur les circuits d'essai 42
1.4 Conclusions de la première phase 43

2. Réalisation d'une matrice d'éléments diffusés et de circuits d'application 43

2.1 Constitution de la matrice 43
2.2 Définition des circuits d'application 44
2.3 Caractéristiques électriques relevées sur les circuits d'application 45

V. DEVELOPPEMENT DE CIRCUITS A LA DEMANDE 47

CONCLUSION 48

ANNEXE 1 Caractéristiques statiques des opérateurs de base 49

ANNEXE 2 Caractéristiques dynamiques des opérateurs de base 58

ANNEXE 3 Analyse des dispersions sur les niveaux logiques 65

INTRODUCTION

Au cours des dix dernières années, la complexité des dispositifs à semi-conducteurs s'est accrue à une vitesse prodigieuse. Actuellement, des ensembles de plusieurs milliers de composants peuvent être intégrés sur un même bloc de silicium.

Parallèlement, les circuits intégrés ont connu une évolution très marquée vers une rapidité de plus en plus grande. La réduction des dimensions géométriques des éléments et l'intégration de transistors à base très fine, laissent espérer des temps de propagation voisins de la nanoseconde.

A ces vitesses, la dimension des connexions entre chaque circuit intégré peut introduire des retards du même ordre de grandeur que les temps de commutation.

Il est donc favorable d'intégrer un grand nombre de portes rapides sur une même pastille de silicium ; la longueur des connexions devient alors négligeable et les performances dynamiques d'un ensemble logique complexe sont considérablement améliorées.

Nous nous sommes donc proposés d'associer intégration à grande échelle et logique sub-nanoseconde en vue de la réalisation d'ensembles logiques de complexité voisine de 40 portes.

Pour répondre à ces objectifs, il est nécessaire de faire appel à une famille d'opérateurs de hautes performances, se caractérisant par une faible consommation.

La structure de tels opérateurs sera définie en fonction de leur utilisation au sein d'un ensemble logique complexe ; il s'agit donc de présenter une famille de grande variété, de conception tout à fait originale.

La mise en oeuvre de techniques de simulation particulièrement fiables facilitera dans une large mesure la conception des éléments de cette nouvelle famille.

Le problème de l'intégration à grande échelle de transistors bipolaires est d'une importance primordiale, dès qu'on entreprend la réalisation de circuits à la demande. Il y a donc lieu de rechercher la technique d'intégration la mieux adaptée, et de définir un ensemble de méthodes d'implantation afin de minimiser le coût et le délai de réalisation d'un circuit donné.

La résolution de ces problèmes d'implantation et la définition des opérateurs de base doivent constituer une première phase d'études au terme de

laquelle il sera possible d'envisager le développement d'ensembles logiques particulièrement performants susceptibles de répondre aux principaux besoins de l'électronique rapide.

DEROULEMENT DE L'ETUDE

Les travaux ont été menés au Laboratoire de Microélectronique qui étudie depuis plusieurs années des circuits logiques ultra-rapides de faible consommation; une partie des travaux a été confiée à la Radiotechnique (études technologiques et réalisation des dispositifs).

Le programme de l'étude était fixé de la manière suivante :

1° Réalisation de circuits d'étude au moyen d'une matrice prototype d'une centaine de composants, ayant pour objectifs :

- la définition technologique et électrique des composants,
- la caractérisation des opérateurs de base,
- la résolution de problèmes liés à l'intégration à grande échelle de circuits rapides (dissipation, interconnexions).

2° Réalisation de quelques circuits d'application, d'une complexité voisine de 40 portes, au moyen d'une matrice d'un millier de composants, avec évaluation des performances (vitesse, consommation, immunité au bruit).

3° Etude et développement de circuits clients

CHAPITRE I

ETUDE ET CONCEPTION DES OPERATEURS DE BASE

Nous nous sommes fixés comme objectifs la définition d'une famille d'opérateurs de base répondant aux spécifications suivantes :

- temps de propagation de l'ordre d'une nanoseconde par couche logique,
- consommation maximale de 1 W pour un ensemble logique de 40 portes, soit une dissipation unitaire inférieure à 25 mW.

En vue de choisir le type de logique le mieux adapté à nos besoins, il est intéressant de comparer les performances de quelques circuits actuellement disponibles sur le marché (fig. 1).

Type de logique	Désignation	Temps de propagation (ns)	Puissance consommée (mW)	Facteur de mérite (mW x ns)
Portes logiques fonctionnant en régime saturé (Production "Texas")	DTL	20	5	100
	TTL faible puissance	33	1	33
	TTL	10	10	100
	TTL rapide	6	22	132
	TTL Schottky	3	19	57
Portes logiques fonctionnant en régime non-saturé (Production "Motorola")	MECL II	4	22	88
	MECL 10 000	2	25	50
	MECL III	1	55	55

Dans le domaine des portes rapides, il semble que le facteur de mérite soit limité à une valeur minimale de 50 mW x ns. On conçoit alors que la réalisation de portes sub-nanosecondes se heurtera à de graves problèmes de dissipation thermique.

L'optimisation du facteur de mérite peut être entreprise par deux voies différentes :

- conception d'une porte logique, réalisant la fonction ET-NON ou OU-NON, de facteur de mérite minimal,
- conception d'un opérateur de complexité équivalente à plusieurs portes logiques. Le facteur de mérite équivalent de cet opérateur (facteur de mérite ramené à une porte logique) pourra facilement être réduit par rapport à celui d'un opérateur du type "porte".

Il reste à déterminer quel type de logique convient le mieux pour les performances que nous nous sommes fixées :

- logique fonctionnant en régime saturé, du type TTL,
- logique fonctionnant en régime non-saturé, du type ECL.

1. Comparaison entre les logiques TTL et ECL

Cette comparaison doit s'établir tant au niveau performances qu'au niveau souplesse logique des opérateurs.

1.1 Performances dynamiques

Par son principe même, la logique saturée de type TTL voit ses temps de propagation limités par le temps d'emmagasinage dans la diode collecteur-base. Avec l'intégration d'une diode "Schottky" à faible seuil de conduction, des temps de propagation de 3 ns sont atteints (Séries 54 S et 74 S de "Texas"). Néanmoins il semble qu'on ne puisse pas obtenir des temps inférieurs à 2 ns avec la technologie actuelle.

En logique ECL, le fonctionnement en régime non-saturé autorise des temps de propagation inférieurs à la nanoseconde si on respecte les conditions suivantes :

- Capacités parasites de faibles valeurs (surfaces diffusées de dimensions minimales, fréquence de coupure des transistors élevée),
- Montages à basse impédance, ce qui entraîne des consommations importantes.

1.2 Peformances statiques

Consommation

Le courant consommé par une porte TTL est fonction de son état logique ; celui consommé par une porte ECL est constant. Les impulsions parasites véhiculées sur les lignes d'alimentation seront par conséquent réduites en logique non-saturée.

Immunité au bruit

Les circuits développés à l'heure actuelle présentent les caractéristiques suivantes :

	TTL	ECL
Saut logique (valeur nominale)	3 V	0,8 V
Immunité au bruit garantie par le constructeur	0,4 V	0,1 V

La logique non-saturée présente une immunité de faible valeur. Cependant les deux types de logique sont comparables si on compare l'immunité au bruit par rapport au saut logique.

1.3 Réalisation d'opérateurs complexes

Une porte logique TTL réalise le ET-NON des signaux d'entrée, alors que la porte ECL réalise les fonctions complémentaires OU-NON et OU. Ce dernier opérateur est donc d'un emploi plus économique car, en bénéficiant des sorties complémentaires, on supprime un grand nombre de portes logiques utilisées en "inverseurs". Sur un ensemble de grande complexité, le gain peut atteindre 20 % des portes.

La création d'opérateurs complexes est étudiée en figure 2. Il apparaît que la logique à aiguillage de courant offre davantage de possibilités. En effet, un seul bloc à aiguillage de courant permet de réaliser une fonction faisant intervenir 3 couches logiques.

La logique ECL est donc, sans conteste, la mieux adaptée à la réalisation des fonctions logiques complexes.

Conclusion

Compte tenu des performances dynamiques des opérateurs ECL et de la complexité logique élevée que peut procurer l'aiguillage de courant, nous avons retenu les circuits fonctionnant en régime non-saturé. Nous développerons donc une famille d'opérateurs basée sur l'aiguillage de courant.

2. Rappels sur la logique à aiguillage de courant

L'élément fondamental de cette logique est un amplificateur différentiel composé de :

- deux transistors couplés par l'émetteur
- une source de courant.

Le signal logique est transmis sous la forme d'un courant "aiguillé" vers l'un ou l'autre des deux transistors, suivant le signal d'entrée V_b (fig 3.1).

2.1 Porte à émetteurs couplés

On réalise une porte logique en branchant plusieurs transistors en parallèle sur le transistor d'entrée. Le signal recueilli sur le collecteur des

transistors d'entrée représente la fonction OU-NON, des signaux d'entrée.

Cette porte présente les particularités suivantes :

1° Fonctionnement symétrique de l'aiguillage de courant

- à l'entrée, par rapport à la tension de référence V_p
- en sortie, par rapport à $\frac{I_r}{2}$

2° Libre disposition d'une sortie, et de la sortie complémentaire (respectivement le OU-NON et le OU des signaux d'entrée).

3° Gain différentiel : élevé dans la zone de basculement (définie autour de $V_b = V_p$), nul en dehors de cette zone.

4° Gain en mode commun facilement contrôlable.

Si ΔV_b désigne l'excursion de la tension d'entrée, le gain s'exprime par :

$$|G| \simeq \frac{R_c I_r}{\Delta V_b}$$

5° Consommation constante, quelque soit l'état logique de la porte.

2.2 Bloc à aiguillage de courant

La porte à émetteurs couplés constitue un exemple simple de logique à aiguillage de courant. Dans ce cas particulier il n'y a qu'un étage, composé d'un différentiel.

A partir de cette porte, il est possible de définir une logique à aiguillage de courant plus générale correspondant à l'empilement de plusieurs étages comportant chacun un certain nombre de différentiels.

Un circuit d'allure semblable à un arbre est ainsi obtenu et, suivant l'état des entrées, le courant est aiguillé à travers un chemin déterminé.

La structure la plus générale d'un bloc à aiguillage de courant sur 3 étages de différentiels est représentée en fig 2. L'information propagée sous la forme d'un courant franchit 3 couches logiques. Les fonctions suivantes sont réalisées :

- Fonction OU : transistors d'entrée branchés en parallèle
- Fonction ET : liaison "série" des différentiels
- Fonction OU : liaison des collecteurs, soit entre eux, soit à la résistance de charge R_c.

2.3 Circuits annexes

Le schéma électrique d'un bloc à aiguillage de courant doit être complété par les éléments suivants (fig 3)

- un générateur de courant fournissant I_r,
- des générateurs de tension délivrant les tensions de référence V_p.
- des circuits de décalage, pour garantir la non-saturation des transistors d'entrée. Le décalage est généralement assuré par un transistor monté en collecteur

commun (fig 3.2) : les niveaux sont alors décalés d'une valeur supérieure ou égale à $V_o \simeq 0,8$ V.
(V_o : tension émetteur-base d'une jonction parcourue par un courant I_r).

3. Conception d'opérateurs ultra-rapides, de faible consommation

Le choix de la logique ECL implique la compatibilité des niveaux entre nos circuits et les autres productions, soit :

	niveau haut	niveau bas
Niveaux E^2CL	0	- 0,8 V
Niveaux ECL	- 0,8 V	- 1,6 V

Cependant, dans un ensemble logique complexe, seuls les opérateurs en liaison avec l'extérieur doivent avoir des niveaux de type E^2CL ou ECL, et posséder une immunité au bruit de valeur relativement élevée. Les autres opérateurs (la majorité s'il s'agit d'ensembles logiques de grande complexité) peuvent fonctionner avec une immunité au bruit réduite car ils sont protégés de l'extérieur par les interfaces.

Moyennant un découpage de l'ensemble logique en une partie interne et des interfaces, les performances (vitesse, consommation) pourront être considérablement optimisées. Par ailleurs, on s'efforcera d'améliorer l'immunité au bruit dans les associations entre opérateurs au moyen d'un réseau interne de compensation vis-à-vis des variations de température et de tension d'alimentation.

3.1 Analyse d'une porte logique conventionnelle

Une porte logique conventionnelle comprend : (fig 4)

- un différentiel
- un circuit de décalage d'entrée ou deux circuits de décalage branchés sur les sorties du différentiel, suivant que les niveaux sont du type E^2CL ou ECL.
- un réseau de polarisation où figure nécessairement un circuit de décalage.

Nous allons montrer que les grandeurs statiques caractéristiques de cette porte logique non-saturée (consommation, immunité au bruit, immunité à la saturation) sont directement liées à la valeur du saut logique SL.

a) Expression de la consommation

Nous ne tiendrons pas compte de la puissance dissipée dans le bloc de polarisation, celui-ci étant soit extérieur, soit intégré à raison d'un bloc pour plusieurs portes.

En notant $[\ ]_{déc}$ les grandeurs relatives aux circuits de décalage, la consommation globale s'exprime par :

$$P = \left[\frac{SL}{2} + [V_o]_{déc} + V_o + [V]_{\substack{générateur \\ de\ courant}} \right] \times \left[\frac{SL}{R_c} + A \cdot [I]_{déc} \right]$$

avec $\begin{cases} A = 1, \text{ pour les niveaux } E^2CL \\ A = 2, \text{ pour les niveaux ECL} \end{cases}$

La puissance consommée est donc fonction du type de générateur de courant. La plupart des constructeurs utilisent une résistance branchée au pôle négatif de l'alimentation (fig 6.1).

Cette méthode appelle les remarques suivantes :

- la porte présente un gain différentiel $\frac{dV_c}{dV_b}$ non nul sur la sortie OU-NON à l'état bas, soit $\frac{dV_c}{dV_b} = -\frac{R_c}{R_f}$; en pratique, il faut $\frac{R_c}{R_f} \leqslant \frac{1}{4}$ pour une bonne définition du niveau V_c^o ,
- la tension aux bornes du générateur de courant, $\frac{R_f}{R_c}$. SL, est relativement élevée (supérieure à 4 SL) ce qui est défavorable pour les montages à faible consommation.

La puissance consommée minimale est donc :

$$P_{min} = \left[\frac{9}{2} SL + |V_o|_{déc} + V_o \right] \times \left[\frac{SL}{R_c} + A \cdot |I|_{déc} \right] \qquad (1)$$

b) Expression de l'immunité au bruit et de l'immunité à la saturation

Considérons l'assocation de deux opérateurs A et B.

L'immunité au bruit par rapport au niveau haut IB^1 et par rapport au niveau bas IB^o, sera définie de part et d'autre de la zone de transition, centrée sur le seuil de basculement $|V_p|_B$.

Soit LT la largeur de transition (voir l'annexe 1)

$$IB^1 = |V_b^1|_A - |V_{p\,B}| - \frac{LT}{2}$$

$$IB^o = |V_p|_B - |V_b^o|_A - \frac{LT}{2}$$

Nous définissons l'immunité à la saturation IS des transistors d'entrée par :

$$IS = |V_{bc}|_{sat} - V_{bc}$$

où $|V_{bc}|_{sat}$ désigne la tension base-collecteur au-delà de laquelle la jonction conduit, provoquant la saturation du transistor.

Les niveaux logiques théoriques s'expriment en fonction de V_o et SL.

$$V_c^1 = 0 \qquad V_c^o = -SL$$

$$V_b^1 = -|V_o|_{déc} \qquad V_b^o = -|V_o|_{déc} - SL$$

$$V_p = - |V_o|_{déc} - \frac{SL}{2}$$

D'où on obtient :

$$\boxed{IB^o = IB^1 = \frac{SL}{2} - \frac{LT}{2}} \quad (2)$$

$$\boxed{IS = |V_{bc}|_{sat} + |V_o|_{déc} - SL} \quad (3)$$

c) Expression des temps de commutation

Les temps de commutation d'un amplificateur différentiel et des circuits de décalage sont établis en Annexe 2.

Nous remarquerons que ces temps sont fonction :

- de grandeurs technologiques
- de la résistance de collecteur R_c
- de la sortance de chaque opérateur

On voit donc que pour une technologie donnée, les temps de commutation sont directement liés à la consommation par l'intermédiaire de R_c.

3.2 Conception des opérateurs de la partie interne

3.2.1 Porte logique à émetteurs couplés

L'examen des expressions (1), (2) et (3) montre que l'on peut réduire la consommation d'une porte logique par :

- la réduction du saut logique
- la suppression des circuits de décalage
- la définition d'un générateur de courant alimenté sous faible tension

a) Réduction du saut logique

La valeur du saut logique est le facteur prépondérant dans l'expression de la consommation. La valeur limite de SL est fixée par IB et IS.

$$IB = \frac{SL}{2} - \frac{LT}{2} \quad (2)$$

$$\boxed{IS = |V_{bc}|_{sat} - SL} \quad (4)$$

En particulier, la relation (4) montre que la réduction du saut logique rend possible la suppression des circuits de décalage sans faire fonctionner les transistors d'entrée en régime saturé.

Les grandeurs IB et IS sont fonction de la température de jonction T_j.

On a tracé en fig 5 les variations de IB et de IS en fonction du saut logique, pour une température de jonction comprise entre 20°C et 160°C. Il apparaît

que les immunités IB et IS ont une valeur minimale de 145 mV ($T_j = T_{j\ max}$).

Le saut logique, également fonction de la température, devra être déterminé de façon à ne pas rendre les immunités inférieures à 145 mV, ce qui impose : (fig 5)

à $T_{j\ max}$ SL = 450 mV

à $T_{j\ min}$ 395 mV $\leqslant$ SL $\leqslant$ 555 mV

La réduction du saut logique à une valeur proche de 0,4 V permet un gain important sur la puissance consommée, soit

$$P_{min} = \left[\frac{9}{2} SL + V_o \right] . \frac{SL}{R_c} \qquad (5)$$

b) Utilisation d'un générateur de courant constant

La consommation pourra être réduite au maximum en utilisant un générateur de courant alimenté sous faible tension.

Nous proposons le montage de la fig 6.2 comprenant :

- un pont de polarisation
- un transistor T_3 monté en générateur de courant
- une résistance R_e égale à R_d, destinée à compenser les différences de caractéristiques entre les jonctions émetteur-base de T_3 et T_4

(en pratique, $\left[\frac{dV_{be}}{dI_e} \right]_{T_3} \neq \left[\frac{dV_{be}}{dI_e} \right]_{T_4}$)

Nous adopterons $R_e = R_c \gg \left[\frac{dV_{be}}{dI_e} \right]_{T_3,\ T_4}$

Ce générateur de courant est alimenté sous une tension V_{ce} + SL, ce qui représente un gain de l'ordre de 2 SL sur la tension d'alimentation.

$$|V_a| = \frac{3}{2} SL + V_o + V_{ce} \qquad (6)$$

- $\frac{3}{2}$ SL + $V_o \leqslant$ 1,45 V,
- V_{ce} de l'ordre de 0,4 V pour un fonctionnement correct du transistor générateur de courant (régime non-saturé en transitoire).

Nous prendrons

$$V_a = - 2\ V$$

Expression du saut logique

Avec le montage adopté, le courant de référence I_r de l'opérateur est maintenu égal au courant circulant dans le pont de polarisation ; on en déduit :

$$SL = \frac{R_c}{R_e} \cdot \frac{R_d}{R_a + R_b + R_d} \left(|V_a| - V_o \right) \qquad (7)$$

$(R_e = R_d)$

3.2.2 Blocs à aiguillage de courant

a) Circuits de décalage

L'utilisation de la logique multi-niveaux implique l'existence de circuits de décalage.

Nous utilisons des émetteurs suiveurs se caractérisant par :

1° une haute impédance d'entrée

2° une faible impédance de sortie

3° un gain différentiel égal à 1

4° un décalage de l'ordre de V_o (fig 7 ab) ou 2 V_o (fig 7c).

Nous pouvons également obtenir le décalage compris entre V_o et 2 V_o (fig 7d).

b) Tension d'alimentation

Nous retiendrons la valeur minimale de V_a pour le fonctionnement en régime non saturé d'un bloc à aiguillage de courant sur 3 étages. Les circuits de décalage seront du type c (décalage de V_o et 2 V_o).

On obtient :

$$|V_a| = \frac{SL}{2} + 2 \, |V_o|_{déc} + V_o + V_{ce} + SL \qquad (8)$$

Soit $V_a = -3{,}6$ V

3.2.3 Définition d'un réseau de compensation

Le saut logique est fonction

- de la température par l'intermédiaire de V_o
- de la tension d'alimentation V_a

Pour des opérateurs de faible immunité au bruit, il est nécessaire de prévoir une compensation vis-à-vis des variations de température et de tension d'alimentation, afin de conserver une immunité maximale, soit $IB^0 = IB^1$.

En supposant les deux paramètres T_j et V_a uniformes sur l'ensemble des opérateurs, nous pouvons établir la relation pour laquelle les niveaux logiques sont centrés par rapport à la tension de référence, soit

$$\frac{V_c^1 + V_c^o}{2} = V_p$$

En délivrant V_p par un point intermédiaire du pont de polarisation, on obtient :

$$\frac{1}{2} \cdot \frac{R_c}{R_a + R_b + R_d} \cdot (|V_a| - V_o) = \frac{R_a}{R_a + R_b + R_d} \cdot (|V_a| - V_o)$$

ce qui nous conduit à :

$$\boxed{R_a = \frac{R_c}{2}} \qquad (9)$$

Pour deux opérateurs alimentés sous la même tension, la relation (9) assure la compensation des niveaux logiques dans les associations entre portes.

Sur les blocs à aiguillage de courant, la compensation est réalisée par l'adoption de circuits de décalage identiques du côté "entrée" et du côté "bloc de polarisation" (fig 8).

N.B. La compensation ne peut être obtenue si l'opérateur A et le pont de polarisation de l'opérateur B sont alimentés par des tensions différentes.

3.2.4 Caractéristiques statiques des opérateurs

Nous ne prévoyons de deux tensions d'alimentation pour l'ensemble des opérateurs.

V_a = - 2 V pour les portes logiques

V_a = - 3,6 V pour les blocs à aiguillage de courant à 2 et 3 étages

1° Valeurs des immunités IB et IS

Pour avoir IB et IS maximales, on se fixe SL = 450 mV à $T_{j\ max}$ d'où on déduit d'après la fig 5 :

$$V_a = - 2\ V \quad \frac{R_d}{R_a + R_b + R_d} = 0,34$$

$$V_a = - 3,6\ V \quad \frac{R_d}{R_a + R_b + R_d} = 0,154$$

	T_j	SL	IB	IS
Association de 2 opérateurs alimentés en - 2 V	$T_{j\ min}$	400 mV	150 mV	300 mV
	$T_{j\ max}$	450 mV	145 mV	150 mV
Association de 2 opérateurs alimentés en - 3,6 V	$T_{j\ min}$	425 mV	160 mV	275 mV
	$T_{j\ max}$	450 mV	145 mV	150 mV

2° Courant de référence

Ce courant est fixé par la résistance de collecteur R_c dont la valeur est déduite des performances dynamiques de l'opérateur.

Nous visons un temps de propagation de l'ordre de 1 ns ce qui nous donne $R_c = 100\ \Omega$.

Le courant de référence est donc compris entre 4 mA et 4,5 mA.

En conséquence, tous les opérateurs de la partie interne seront construits sur les modèles représentés en fig 8.

3.3 Conception des interfaces

Les interfaces travaillent sur les niveaux suivants :

	Amplitude du saut logique	
	Niveaux d'entrée	Niveaux de sortie
Interface d'entrée	0,8 V	0,4 V
Interface de sortie	0,4 V	0,8 V

Tous les opérateurs (portes logiques, blocs à aiguillage de courant) seront alimentés sous une tension de 3,6 V.

3.3.1 Interfaces de sortie

Nous avons prévu des sorties sur des lignes d'impédance caractéristique $Z_c = 50\ \Omega$.

a) Niveaux de sortie E^2CL

La résistance de collecteur de l'amplificateur de sortie est fixée à 50 Ω, afin que l'adaptation avec la ligne de sortie soit réalisée à l'intérieur de l'ensemble logique.

Cet opérateur, représenté en fig 9, appelle les remarques suivantes :

- consommation élevée (courant de référence de l'ordre de 16 mA)

- impédance de sortie de forte valeur ($R_s = 50\,\Omega$), ce qui limite la sortance maximale admissible sur les sorties de l'ensemble logique.

b) Niveaux de sortie ECL

Dans ce cas, on peut réduire la consommation de l'opérateur par :

- le report de la résistance d'adaptation à l'extérieur du boîtier,
- le débranchement d'un circuit de décalage correspondant à une sortie non utilisée.

D'autre part, la sortance de l'amplificateur étant toujours égale à un, il est possible d'augmenter la résistance collecteur en conservant un temps de propagation voisin d'une nanoseconde ; nous prendrons $R_c = 200\,\Omega$.

L'alimentation des circuits de décalage de sortie (fig 10) pose un certain nombre de problèmes car la consommation est importante et varie suivant le niveau logique de sortie. Deux solutions sont envisageables :

1° Alimentation à une source de tension. La solution proposée nécessite une impédance de source très faible ; si cette condition n'est pas réalisée, la contre-réaction des circuits de décalage sur l'amplificateur différentiel est importante.

2° Alimentation à deux sources de tension. Cette solution n'impose plus des impédances de sortie de faible valeur ; par contre, le couplage entre sources devra être réduit au maximum.

Dans le but d'assurer un fonctionnement correct en régime transitoire nous utiliserons deux sources de tension pour l'interface de sortie.

3.3.2 Interfaces d'entrée

Ces opérateurs sont de conception classique. Par souci d'homogénéité on prendra :

$$\left[R_a\right]_{\substack{\text{interface}\\ \text{d'entrée}}} = \frac{1}{2}\left[R_c\right]_{\substack{\text{interface}\\ \text{de sortie}}}$$

ce qui assure une immunité au bruit maximale dans les associations entre ensembles logiques soumis aux mêmes contraintes de température et de tension d'alimentation.

Conclusion

Nous avons dégagé les principes de base d'une famille d'opérateurs de hautes performances, répondant aux spécifications que nous nous sommes fixées.

Il nous reste à déterminer plus précisément :

- les performances dynamiques de chaque opérateur,
- les immunités au bruit et à la saturation dans les cas les plus défavorables.

Une étude plus poussée des éléments de cette famille doit donc être envisagée. C'est à ce stade que nous ferons appel aux diverses techniques de simulation.

4. Apport des techniques de simulation à la conception des opérateurs de base

La phase de simulation permet l'analyse du circuit avant réalisation, c'est-à-dire la prévision de ses performances en fonction du schéma électrique et de la valeur des éléments constitutifs (composants intégrés et éléments parasites).

Cette phase est indispensable dès que les équations de fonctionnement d'un circuit atteignent un certain degré de complexité. Elle permet ainsi l'analyse d'un opérateur avec le maximum de précision.

L'analyse du circuit en première approximation devra néanmoins être conservée car elle est la mieux adaptée à l'interprétation du fonctionnement global du circuit.

En dernier lieu, la confrontation des résultats de simulation avec les mesures effectuées sur les dispositifs permettra de contrôler la validité des techniques employées.

4.1 Choix d'une technique de simulations

La simulation des circuits intégrés peut être entreprise par deux méthodes différentes :

- simulations par câblage sur table en éléments discrets
- simulations sur calculateur.

4.1.1 Simulations par câblage sur table en éléments discrets

En général, ces simulations s'adaptent bien à l'étude des caractéristiques statiques du circuit . Par contre, les simulations en régime dynamique ne représentent qu'une approche grossière du problème dans le cas des circuits de grande rapidité.

Elles s'avèrent souvent délicates, car elles nécessitent des précautions particulières :

- utilisation d'éléments discrets miniaturisés
- emploi de circuits imprimés performants
- liaisons entre éléments aussi courtes que possibles.

Par ailleurs, ces simulations ne reflètent pas exactement la situation que l'on aura en technologie plane. En particulier les éléments parasites de la jonction collecteur-substrat et de la résistance diffusée ne figurent pas en éléments discrets. De plus le câblage sur table fait intervenir des éléments parasites supplémentaires (capacités de boîtiers, capacités et inductances des fils de liaison, etc...).

Pour ces raisons, la simulation en éléments discrets ne peut pas être utilisée pour l'analyse de circuits se caractérisant par des temps de propagation voisins d'une nanoseconde.

4.1.2 Simulations sur calculateur

L'ordinateur est un organe de calcul particulièrement puissant ; il est en mesure d'apporter une aide considérable à l'étude d'un circuit avant sa réalisation.

L'analyse par calculateur pose le problème des schémas équivalents des composants, dont la complexité fixera la précision des résultats de simulation.

Pour être adaptés aux simulations, les schémas équivalents doivent prévoir de façon précise les performances du dispositif, posséder des paramètres mesurables et être facilement compris par le calculateur.

Les modèles mathématiques seront choisis en fonction du type de composants, de ses propriétés particulières et de ses conditions d'utilisation.

4.2 Choix d'un modèle mathématique

Il nous faut définir le schéma équivalent du composant le plus complexe, le transistor bipolaire ; les schémas des autres composants (diodes, résistances) s'en déduiront facilement.

Les éléments intégrés sont principalement caractérisés par des jonctions, de caractéristiques non linéaires :

- caractéristique courant-tension : I (V)
- capacité de diffusion : C (V)

Pour bien représenter le processus d'intégration, le modèle mathématique du transistor devra donc associer à chaque jonction un ensemble de composants élémentaires (générateurs, résistances, capacités) de caractéristiques non linéaires. En conséquence, le modèle utilisera un nombre important de paramètres.

Les transistors d'une porte logique à émetteurs couplés fonctionnent dans 3 états différents :

- en continu . un état conducteur (non-saturé)
  . un état bloqué
- en dynamique . un état transitoire entre les deux états précédents

Il nous faut donc un modèle à 4 pôles, adapté au fonctionnement en "forts signaux".

Le modèle bien connu d'Ebers et Moll semble convenir en tous points à nos simulations.

Nous voyons clairement (fig 11.2) que ce modèle est unidimensionnel et suppose les électrodes actives e, b', c', équipotentielles.

Le modèle d'Ebers et Moll, bien qu'approché, utilise plus de vingt paramètres. Il apparaît donc qu'un modèle plus complet, nécessitant davantage de paramètres, ne conviendrait plus pour la simulation d'opérateurs comprenant un grand nombre d'éléments (9 transistors et 11 résistances pour l'interface de sortie ECL).

4.3 Schéma équivalent des éléments

4.3.1 Transistor bipolaire

Le transistor NPN, réalisé sur un substrat de type P, est décrit en coupe sur la figure 11.1.

La représentation des trois jonctions nous conduit au schéma équivalent de la figure 11.2.

Nous distinguons :

1. la jonction collecteur-substrat ; celle-ci assure l'isolement

des caissons ; elle est bloquée en fonctionnement normal par polarisation du substrat au potentiel le plus négatif du circuit. Cette jonction n'intervient que par la capacité de diffusion C_d (sc').

2. la jonction collecteur-base ; en régime non-saturé, cette diode ne conduit pas. Nous étudierons cependant les caractéristiques en régime de saturation, en vue de définir une "immunité à la saturation".

3. la jonction émetteur-base dont la caractéristique I_o (V_o) détermine le fonctionnement des transistors dans une porte logique non-saturée.

4.3.2 Diode

En pratique, une diode est réalisée par une jonction émetteur-base, la jonction collecteur-base étant court-circuitée.

Le schéma équivalent est donc très simple et se déduit du schéma de la fig 12.

4.3.3 Résistance

La coupe simplifiée d'une résistance diffusée, réalisée à partir d'un matériau du type P, est décrite en fig 13.1.

La résistance est représentée par le schéma équivalent de la fig 13.2. Le transistor PNP est bloqué en permanence par

- la jonction collecteur-substrat
- la polarisation du caisson N au potentiel le plus positif du circuit.

On peut définir une capacité moyenne $\overline{C}$ équivalente à la capacité non-linéaire C_{bc}, répartie sur la résistance diffusée [1].

Nous adoptons alors le schéma simplifié de la fig 13.3.

4.4 Détermination des paramètres

L'évaluation des paramètres d'un modèle est directement liée aux données technologiques et géométriques. Nous allons donc donner les principales caractéristiques physiques des transistors.

Nous rappelons que les études et réalisations technologiques ont été prises en charge par la Radiotechnique.

4.4.1 Evaluation des paramètres

Les paramètres proviennent :

- soit de calculs théoriques développés à partir des données technologiques
- soit à partir d'extrapolations des résultats obtenus sur des dispositifs antérieurs
- soit de mesures effectuées sur des éléments de test.

L'estimation des paramètres a été faite en liaison avec la recherche d'une structure de transistor adaptée aux circuits rapides. Elle est essentiellement basée sur la confrontation entre les résultats de mesure et les évaluations déterminées à partir du processus technologique.

La structure optimale sera choisie en fonction des données suivantes :

- fréquence de coupure maximale
- capacités de diffusion minimales
- résistances d'accès ($R_{bb'}$, $R_{cc'}$) minimales
- gain en courant β_n maximal

4.4.2 Caractéristiques du transistor

Les performances d'un transistor haute fréquence sont principalement fixées par la géométrie des zones diffusées (épaisseur, surface).

Le procédé "fin" utilisé pour les circuits ultra-rapides est caractérisé par : (fig 14, 15) [2]

- une épitaxie fine de 3 µ
- des diffusions fines
  . profondeur de jonction émetteur : 0,65 µ
  . épaisseur de base : 0,3 µ
- des ouvertures d'émetteur de 4 µ de large, obtenues par la technique des "oxydes lavés"
- la présence d'une couche enterrée
- la réalisation de "puits collecteur" ou contacts collecteur rejoignant la couche enterrée.

Ces deux derniers points permettent de réduire la résistance d'accès au collecteur.

- l'ouverture de deux contacts de base dans une diffusion de type P^+, d'où réduction de la résistance d'accès à la base.

Les principales caractéristiques dynamiques sont les suivantes :

- Fréquence de coupure f_T = 2 Ghz (I_c = 4 mA)
- Capacités de diffusion C_d (b'e) = 0,1 pF

  (à polarisation nulle) C_d (b'c') = 0,26 pF

  C_d (c's) = 0,6 pF

En outre, on trouve :

β_n = 70

$R_{cc'}$ = 1,5 Ω

$R_{bb'}$ = 250 Ω

Ces valeurs amènent les remarques suivantes :

- l'épaisseur de base (0,3 µ sous l'émetteur, 0,65 µ ailleurs) autorise une fréquence de coupure élevée ; par contre la résistance $R_{bb'}$ a une forte valeur, due à la faible section de la diffusion P entre b et b' ($R_{\square}$ = 320 Ω/□).

- la technique des "oxydes lavés" permet un gain important sur les surfaces diffusées d'émetteur, de base et de collecteur, car le contact d'émetteur peut être pris sur toute l'étendue de la diffusion N^+. Les capacités de diffusion sont donc réduites au maximum.
- la résistance d'accès au collecteur $R_{cc'}$ est ramenée à une valeur négligeable ce qui a pour effet de rendre l'immunité à la saturation maximale dans les montages ECL.

4.5 Utilisation de la conception assistée par ordinateur

Nous utilisons le programme IMAG 2 [3] pour l'exécution des simulations sur calculateur.

Nous nous servons principalement de deux fonctions de ce programme de simulations de circuits électriques.

1. La fonction "sensibilités" qui nous permet de déterminer la dispersion sur les niveaux logiques en fonction de la variation de divers paramètres.

2. La fonction "analyse en régime transitoire" qui est d'un intérêt primordial pour prévoir les performances dynamiques d'un circuit de caractéristiques non-linéaires.

4.5.1 Etude des dispersions sur les niveaux logiques

Les facteurs de dispersion sur les niveaux logiques sont nombreux ; ils dépendent essentiellement :

- des tolérances de fabrication (dispersion initiale)
- des contraintes exercées sur le circuit (température, tension d'alimentation).

En outre il faut définir les dispersions liées à l'intégration d'un grand nombre d'opérateurs dans un ensemble logique.

Le travail du concepteur est de fixer dans quelles limites varient les paramètres ; le programme de simulation se charge de déterminer l'influence de ces paramètres sur les niveaux logiques.

On a répertorié en Annexe 3 les principaux facteurs de dispersion. Après exécution des simulations, il est possible d'estimer l'immunité au bruit et l'immunité à la saturation dans les conditions les plus défavorables.

Immunité au bruit

Partie interne	IB > 60 mV	$T_{j\ min}$
Interfaces	IB > 200 mV	

Immunité à la saturation

Partie interne	IS > 60 mV	$T_{j\ max}$

4.5.2 Performances dynamiques des opérateurs de base

L'approximation au 1er ordre des temps de commutation d'une porte logique figure en Annexe 2. Les grandeurs qui fixent ces temps sont principalement :

- la résistance de collecteur R_c
- la résistance d'accès à la base $R_{bb'}$
- la capacité d'entrée d'un différentiel $\overline{C_b}$

Nous allons étudier l'influence de ces différents termes.

1. Valeur de la capacité d'entrée $\overline{C_b}$ d'une porte logique

La capacité moyenne $\overline{C_b}$ est une fonction non-linéaire des capacités base-émetteur et base-collecteur d'un transistor.

La détermination de $\overline{C_b}$ à l'aide d'un programme de simulation se fait en deux temps :

1° On simule l'attaque d'une porte B par une porte A

2° La porte B est remplacée par une capacité dont la valeur sera ajustée de manière à obtenir les mêmes réponses en régime transitoire.

La capacité d'entrée est liée au courant de référence par l'intermédiaire de la capacité de transition C_t de la manière suivante :

$I_r = 4$ mA $\qquad \overline{C_b} = 2{,}5$ pF

$I_r = 8$ mA $\qquad \overline{C_b} = 4$ pF

Ces valeurs correspondent à celles mesurées sur les dispositifs (mesure de la quantité de charges nécessaire pour charger la capacité d'entrée dans les conditions normales de fonctionnement).

2. Détermination de la résistance R_c

Nous avons simulé le régime transitoire d'une porte à saut logique réduit en 2 versions [4] :

$R_c = 50\ \Omega$; $I_r = 8$ mA

$R_c = 100\ \Omega$; $I_r = 4$ mA

La comparaison des résultats est établie en fig 17 pour une sortance nulle et une sortance égale à 3.

On vérifie bien l'importance de la constante de temps de sortie pour des charges de fortes valeurs.

Dans des conditions normales de fonctionnement (sortance inférieure à quatre), les versions 50 Ω et 100 Ω ont sensiblement le même temps de propagation. Nous avons donc opté pour la version 100 Ω en raison du gain réalisé sur la consommation.

Pour une sortance de 3 ($t_p = 1$ ns), on constate que la constante de temps intrinsèque de la porte - $R_{bb'} \cdot \overline{C_b} + R_c \cdot \overline{C_c}$, est du même ordre de grandeur que la constante de temps introduite par la charge - $P \cdot R_c \cdot \overline{C_b}$ (voir Annexe 2).

Le temps de propagation d'un opérateur de sortance plus élevée sera de l'ordre de :

t_p = 1 ns + (P - 3) . 0,18 ns

3. Temps de propagation dans un bloc à aiguillage de courant

Ces temps ne sont pas calculables en approximation du 1er ordre.

La majoration des temps de propagation dans un bloc à aiguillage de courant peut être estimée à 0,2 ns par étage dans les conditions de charge les plus défavorables.

Pour une sortance de 3 on obtient :

t_p = 1 ns : attaque sur le 1er étage

t_p = 1,2 ns : attaque sur le 2ème étage

t_p = 1,4 ns : attaque sur le 3ème étage

4. Impulsions parasites

L'étude des impulsions parasites s'impose pour deux raisons :

- en certains noeuds, le circuit se comporte comme un dérivateur ; avec des temps de montée de 1 à 2 ns, l'amplitude des impulsions parasites peut être importante.
- il faut s'assurer que le fonctionnement d'un opérateur de faible immunité au bruit n'est pas perturbé par les impulsions parasites.

Les résultats de simulation (fig 18) nous montrent que le noeud le plus sensible est le collecteur du générateur de courant. On relève une impulsion de 90 mV pour un temps de descente t_o = 1 ns, ce qui confirme notre choix en ce qui concerne la polarisation du transistor générateur de courant ($V_{ce} > 500$ mV).

D'autre part, on constate que le couplage entre les portes A et B (fig 18) introduit par les lignes de polarisation V_p et V_g, et les lignes d'alimentation, est relativement faible et ne risque pas de provoquer le basculement de la porte B.

5. Evaluation des performances

Pour évaluer les performances d'un ensemble logique composé d'opérateurs de caractéristiques très diverses, on peut procéder de deux manières :

- soit donner les performances de chaque type d'opérateur,
- soit définir l'association d'opérateurs la plus probable, déterminer la consommation et le temps de propagation au niveau de l'ensemble et en déduire
  - . la consommation moyenne ramenée à une complexité d'une porte logique
  - . le temps de propagation moyen, pour la traversée d'une couche logique.

Cette dernière définition est la plus représentative des performances d'un circuit complexe. Nous l'utiliserons dans deux types d'association suivant qu'on adopte la logique en portes ou la logique à aiguillage de courant.

Association	Interface d'entrée	Partie interne	Interface de sortie
A	1 porte logique	3 portes logiques	1 porte logique
B	1 porte logique	1 bloc à aiguillage de courant sur 3 étages	1 porte logique

L'association A comprend 5 portes.

Pour l'association B, nous prendrons une complexité équivalente de 6 portes.

Nous tiendrons compte de la consommation des blocs de polarisation, ceux-ci étant intégrés avec les opérateurs. La distribution la plus probable de ces blocs sera prise comme suit :

- 1 bloc de polarisation pour 3 portes logiques
- 1 bloc de polarisation pour 1 bloc à aiguillage de courant.

Les temps de propagation sont donnés pour une sortance de 3 (opérateurs de la partie interne et des interfaces).

Le facteur de mérite équivalent pourra être défini par le produit de la consommation moyenne par le temps de propagation moyen.

Nous relevons les valeurs suivantes :

Association	Niveaux entrées-sorties	Consommation moyenne	Temps de propagation				Facteur de mérite équivalent
			Interface d'entrée	Partie interne	Interface de sortie	T_p moyen	
A	E^2CL	33,3 mW	1 ns	3x1 ns	1 ns	1 ns	33,3 mW x ns
	ECL	22,1 mW	1 ns	3x1 ns	1,5 ns	1,1 ns	24,3 mW x ns
B	E^2CL	31,1 mW	1 ns	1,5 ns	1 ns	0,7 ns	27,0 mW x ns
	ECL	21,9 mW	1 ns	1,5 ns	1,5 ns	0,0 ns	17,5 mW x ns

D'une manière générale, ce sont les interfaces de sortie qui ont la consommation la plus élevée. Les valeurs relevées plus haut pourront donc être réduites dans une large mesure pour les ensembles logiques comportant un faible nombre d'interfaces de sortie.

Les facteurs de mérite estimés placeraient donc nos opérateurs parmi les circuits ultra-rapides les plus performants. En particulier, l'utilisation de blocs à aiguillage de courant nous permet d'atteindre un produit - puissance dissipée par temps de propagation - bien meilleur que celui des autres types de

logique rapide (ECL "Motorola", TTLS "Texas"), caractérisés par un facteur de mérite de l'ordre de 50 mW x ns.

CHAPITRE II

EXPLOITATION DES OPERATEURS DE BASE

L'optimisation des performances d'un ensemble logique complexe implique une exploitation maximale des opérateurs au niveau fonction logique.

Ceci nous conduit à répertorier les difficultés fonctions réalisables à l'aide des opérateurs définis dans le chapitre I.

1. Etude fonctionnelle des opérateurs de base

On rappelle que, dans la logique à aiguillage de courant, l'information se propage sous la forme d'un courant.

L'état logique de la sortie de l'opérateur est fixé par le potentiel du collecteur ($V_c^0 = -SL$, $V_c^1 = 0$) ; on pourra également déterminer cet état logique par le courant circulant dans R_c. Soit la variable booléenne I définie de la manière suivante :

$\|$ I = 1 : présence d'un courant I_r dans R_c

$\|$ I = 0 : absence de courant

1.1 Porte élémentaire

La porte logique à émetteurs couplés délivre le OU-NON et le OU des signaux d'entrée. Elle peut également fournir le ET et le ET-NON par complémentation des entrées ; la réalisation de ces fonctions ne nécessite pas de couches logiques supplémentaires, les fonctions "compléments" étant accessibles en logique ECL.

Si nous disposons de :

$$\underbrace{X_a \text{ ou } \overline{X}_a}_{X_a^*} , \quad \underbrace{X_b \text{ ou } \overline{X}_b}_{X_b^*} , \quad \ldots\ldots , \quad \underbrace{X_n \text{ ou } \overline{X}_n}_{X_n^*}$$

il est possible de réaliser :

$$F(X) = X_a^* \cdot X_b^* \cdot \ \ldots \ \cdot X_n^* = X$$

Ceci est valable pour tout X fonction de X_a, X_b, ... X_n pouvant s'écrire sous la forme d'un minterne.

1.2 Blocs à aiguillage de courant

1.2.1 Expressions générales des fonctions logiques

Nous utiliserons la variable booléenne $I = \overline{F}$

a) Blocs à aiguillage de courant sur 2 étages

Si X_1, X_2, Y sont des variables générales, exprimables sous la forme d'un minterne, on peut réaliser les fonctions suivantes :

$$\begin{cases} I_1 = Y.X_1 \\ I_2 = Y.\overline{X}_1 \\ I_3 = \overline{Y}.X_2 \\ I_4 = \overline{Y}.\overline{X}_2 \end{cases}$$

b) Blocs à aiguillage de courant sur 3 étages

De la même manière, on peut réaliser 8 fonctions de X_1, X_2, X_3, X_4, Y_1, Y_2, Z.

Soit $I_1 = Z.Y_1.X_1$, etc.

La fonction la plus générale que nous puissions réaliser est de la forme :

$$I = \bigsqcup_{j=1}^{p} I_j \qquad p \leqslant 7$$

1.2.2 Réalisation d'une fonction logique quelconque

Son expression la plus complexe est de la forme :

$$I = Z.(Y_1.X_1 + \overline{Y}_1.X_2) + \overline{Z}.(Y_2.X_3 + \overline{Y}_2.X_4)$$

Cette fonction est réalisée par la liaison de I_1, I_3, I_5 et I_7 à une résistance R_c.

Dans certains cas, on peut modifier la structure de l'arbre et supprimer un ou plusieurs différentiels (fig 19).

1.2.3 Cas particulier : réalisation d'une fonction à 3 variables

Une fonction de 3 variables X, Y, Z peut toujours être réalisée à l'aide d'un bloc à aiguillage de courant ne comportant que deux différentiels sur le 1er étage [5].

Cette particularité est liée au fait qu'on peut toujours décomposer F(X, Y, Z) de la manière suivante :

$$F(X,Y,Z) = F_1(X,Z).X + F_2(Y,Z).\overline{X} + F_3(Y,Z).1 + F_4(Y,Z).0$$

La réalisation de cette fonction est détaillée en figure 20.

On peut évaluer la complexité équivalente d'un tel bloc à 8 portes logiques :

- 3 portes OU réalisant des fonctions du type $X = X_a + X_b + \ldots + X_n$
- 4 portes ET réalisant des fonctions du type $I = X.Y.Z$

- 1 porte OU

L'aiguillage de courant semble donc un outil extrêmement puissant pour la réalisation des fonctions complexes.

1.3 Généralisation de l'aiguillage de courant

Un différentiel se présente comme un aiguillage de courant suivant 2 voies. Moyennant certaines conditions sur les commandes de l'aiguillage, on peut réaliser un aiguillage de courant suivant n voies (fig 21).

1.4 Fonction mémoire

On peut réaliser un élément mémoire du type RS à l'aide de deux portes rétrocouplées (fig 22-1).

Cependant, le montage de la figure 22-2 est plus intéressant. En fonction du signal M, appliqué sur le second étage, le courant est aiguillé :

- soit vers un élément bistable formé de deux transistors rétrocouplés
- soit vers une porte commandée par le signal de "remise à 1".

Le montage proposé réalise une bascule qui ne présente pas d'états indéterminés.

Seuls les opérateurs de la partie interne peuvent être utilisés en élément mémoire car les sauts logiques d'entrée et de sortie de la bascule doivent avoir la même amplitude.

1.5 Circuits de décalage

Le signal décalé représente le OU des signaux d'entrée.

2. Constitution d'une famille d'opérateurs de base

Il nous faut répertorier les opérateurs en fonction de leur type (porte, bloc à aiguillage de courant) et de leur appartenance (partie interne, interfaces).

2.1 Représentation

La représentation conventionnelle utilisant les symboles relatifs aux portes OU/OU-NON et ET/ET-NON, ne semble pas adaptée à nos opérateurs.

La logique multi-niveaux nous oblige à adopter la représentation définie en figure 23, où les 3 étages sont clairement différents.

En règle générale, un opérateur sera représenté par un rectangle. S'il s'agit d'un opérateur du type bloc à aiguillage de courant, les fonctions logiques seront indiquées à la sortie de chaque opérateur et exprimées en logique positive.

Les blocs de polarisation ne seront pas représentés sur les schémas.

2.2 Notations

Les niveaux conventionnels, à saut logique de 0,8 V sont notés E (externes).

Les niveaux à saut logique de 0,4 V sont notés I (internes).

Les opérateurs seront repérés par une succession de lettres indiquant

le type des niveaux d'entrée (1er, 2ème et 3ème étage s'il y a lieu) et celui du niveau de sortie (fig 23).

Ainsi la porte alimentée en 2 V sera nommée I - I et l'interface d'entrée ECL, XE-I.

Les niveaux de sortie des circuits de décalage sont repérés par la lettre D.

2.3 Classification des opérateurs de base

Tout ensemble logique sera constitué de la manière suivante :

- interface d'entrée travaillant sur des niveaux externes
- interface de sortie rétablissant les niveaux externes
- partie interne utilisant en entrée et en sortie des niveaux internes.

Nous dénombrons 18 opérateurs de base dont 3 circuits de décalage (fig 23). Le nombre d'opérateurs est réduit à 13 si on utilise des niveaux externes du type ECL et à 10 pour des niveaux E^2CL.

D'autre part, 4 opérateurs sont susceptibles de convenir à l'intégration d'une bascule.

2.4 Récapitulation

La conception d'un ensemble logique au moyen des opérateurs nécessitera deux approches :

1 - la réalisation des fonctions logiques

2 - l'organisation de l'ensemble en une partie interne et des interfaces.

En outre, le concepteur aura le choix entre la décomposition en portes élémentaires et l'utilisation intensive de la logique à aiguillage de courant.

La variété des opérateurs présentés laisse présager une grande souplesse dans l'assemblage des ensembles logiques que nous désirons intégrer. Ainsi, nous pourrons présenter plusieurs versions d'un même ensemble logique suivant qu'on utilise une logique à 3 niveaux, à 2 niveaux ou à un seul niveau (logique en portes).

3. Etude de sous-ensembles logiques

Une étude préalable de quelques blocs fonctionnels classiques facilitera dans une large mesure le travail de conception d'un ensemble logique donné ; aussi avons nous entrepris l'étude de quelques sous-ensembles particuliers susceptibles d'être utilisés dans un grand nombre de montages [6].

3.1 Définition d'une bascule de base

L'utilisation d'une logique synchrone implique, en premier lieu, le choix d'une bascule de base.

Nous utilisons une bascule maître-esclave de type D ; cette bascule fonctionne en deux temps, rythmés par l'horloge H.

1er temps : transfert de l'information de l'entrée vers la bascule maître

2ème temps : transfert de cette information de la bascule-maître à la bascule-esclave.

3.1.1 Réalisation d'une bascule maître-esclave à l'aide de portes (fig 24-2)

Les bascules sont réalisées au moyen de deux portes rétrocouplées. Les entrées de "remise à zéro", R, et de "remise à un", S, sont appliquées sur les deux portes rétrocouplées de la bascule-maître. Il faut alors respecter la condition R.S = O.

La complexité est de 8 portes OU-NON.

3.1.2 Réalisation d'une bascule maître-esclave à l'aide de la logique à aiguillage de courant (fig 24-1)

La structure d'un opérateur de type EI-I ou II-I est particulièrement bien adaptée à l'intégration de cette bascule.

Dans le montage proposé, les signaux R et S sont appliqués sur des transistors montés en parallèle sur les transistors rétrocouplés de la bascule maître ; il faut également respecter R.S = O.

La complexité est de deux blocs à aiguillage de courant, commandés par le signal d'horloge sur le second niveau. C'est ce montage qui sera retenu dans la suite de l'étude.

3.1.3 Réalisation des circuits de présélection

Les circuits de présélection permettent l'entrée d'informations "parallèles" dans un registre de structure "série".

En fonction du signal Commande de Présélection, CP, l'entrée parallèle Pn, relative à l'étage n, prépositionne la bascule maître de l'étage n à l'état Pn, soit qn = Pn.

Pendant les opérations de présélection, l'entrée horloge doit être maintenue à un état déterminé, autorisant l'entrée des informations "parallèles" sur les bascules maître. Ceci est réalisé en maintenant l'entrée Commande de l'Horloge, CH, au niveau haut (fig 24).

Les circuits de présélection peuvent être traités de deux manières différentes suivant qu'on utilise des blocs à aiguillage de courant de 2 ou 3 étages.

a) Logique à 2 niveaux (fig 25-1)

Les signaux R et S sont élaborés en fonction de CP et P.

Les circuits de présélection sont constitués de deux cellules de type EI-I réalisant les fonctions $R = CP.\overline{P}$, et $S = CP.P$.

b) Logique à 3 niveaux (fig 25-2)

Le troisième étage est attaqué par le signal CP. En fonction de ce signal, le courant est aiguillé :

- soit vers une porte à entrée P'
- soit vers une bascule-maître conventionnelle.

Ce montage ne nécessite que 3 opérateurs de base.

3.2 Etude de registres à décalage

L'association de plusieurs bascules-maître-esclave en série constitue

un registre à décalage à entrée et sortie "série".

La présence de circuits de présélection permet de réaliser un registre à décalage à accès "parallèle".

La progression sur un registre à décalage peut se faire :

- de gauche vers droite
- de droite vers gauche

} entrée et sortie "série"

- de haut vers bas } entrées et sorties "parallèles"

Nous présentons trois types de registres à décalage en fonction des sens de progression choisis.

Dans tous les cas (entrée "série", et entrées "parallèles") la progression est rythmée par une horloge extérieure H.

a) Registre à décalage à entrées "série gauche vers droite" et "parallèles"

La figure 26-1 représente le schéma d'un élément de registre.

CP = 0 : progression de gauche vers droite

CP = 1 : progression de haut vers bas

b) Registre à décalage à entrées "série gauche vers droite" et "série droite vers gauche"

Le schéma de la figure 26-2 peut être repris en remplaçant D_p par D_r.

CP = 0 : progression de gauche vers droite

CP = 1 : progression de droite vers gauche

c) Registre à décalage à 3 sens de progression

La figure 27 représente le schéma d'un élément de registre. La commande des sens de progressions se fait au 3ème étage, à l'aide d'un aiguillage de courant suivant 3 voies. Les bits CP et Z assurent le fonctionnement du registre de la façon suivante :

$\overline{CP}.Z = 1$: progression de gauche vers droite

$\overline{CP}.\overline{Z} = 1$: progression de droite vers gauche

$CP = 1$: progression de haut vers bas

3.3 Etude de décades

A partir d'une bascule maître-esclave, il est possible de réaliser un diviseur par 2, par bouclage de la sortie $\overline{Q}$ à l'entrée D de la bascule maître.

Si T est la période de l'horloge, le signal en sortie de la bascule est de période 2 T.

Par association en série de plusieurs bascules, un diviseur par 2^n peut être réalisé.

Dans cette étude, nous nous intéressons spécialement aux décades ; le code décimal codé binaire est utilisé dans les exemples que nous traitons.

a) Décade comptante (fig 28-1)

Une décade est composée essentiellement d'un diviseur par 2 et d'un diviseur par 5.

Dans le montage proposé, le résultat du comptage est obtenu en décimal codé binaire par les bits S8, S4, S2, S1.

b) Décade décomptante (fig 28-2)

Cette décade peut être utilisée avec les circuits de présélection définis en 3.1.3. Le contenu du décompteur est initialisé à n, par affichage de n en décimal codé binaire sur les entrées P des circuits de présélection. La $n^{ième}$ impulsion, ou impulsion "zéro" sera détectée avec le minimum de retard si on réalise le OU des sorties du décompteur.

c) Décade comptante-décomptante (fig 29)

Le signal Y commande le comptage ou le décomptage. Suivant l'état de Y, le courant est aiguillé :

- soit vers un différentiel attaqué par un signal propre au comptage (entrée H^+)
- soit vers un différentiel attaqué par un signal propre au décomptage (entrée H^-).

Le signal CP permet d'initialiser le contenu de la décade.

16 opérateurs de base sont utilisés pour ce sous-ensemble de complexité relativement élevée.

3.4 Etude de sous-ensembles de fonctions logiques complexes

Parmi les fonctions fréquemment utilisées en électronique, nous avons retenu :

- la fonction décodage
- la fonction OU-Exclusif

a) Décodeur 3 bits (fig 30-1)

La structure d'une cellule III-I se prête particulièrement bien au décodage. Les sorties sont décodées de telle sorte qu'un seul des huit bits demeure à l'état bas.

b) Fonction OU-Exclusif (fig 30-2)

Une cellule de type III-I convient pour réaliser la fonction :

$$A_1 \oplus A_2 \oplus A_3 = A_1.A_2.A_3 + \overline{A_1}.\overline{A_2}.A_3 + \overline{A_1}.A_2.\overline{A_3} + A_1.\overline{A_2}.\overline{A_3}$$

3.5 Etude de sous-ensembles de fonctions arithmétiques complexes

L'additionneur parallèle est l'un des opérateurs arithmétiques les plus utilisés.

L'addition de 2 nombres A et B, codés en binaire pur est réalisée de la manière suivante :

- si A_n et B_n sont les bits de poids 2^n,

- et R_{n-1} la retenue de sortie de l'étage (n-1),
  l'addition binaire sur l'étage n est obtenue par les bits

- somme $S_n = A_n \oplus B_n \oplus R_{n-1}$

- retenue $R_n = A_n.B_n + (A_n + B_n) \cdot R_{n-1}$

Dans un additionneur parallèle, la vitesse limite de fonctionnement est fixée par le retard de R_n par rapport à R_{n-1}.

Nous avons donc étudié plusieurs versions d'additionneurs caractérisés par une propagation rapide de la retenue.

3.5.1 Additionneur parallèle à retenue en cascade

Le principe de la retenue en cascade consiste à relier la retenue de sortie d'un étage, à la retenue d'entrée de l'étage de rang immédiatement plus fort.

La structure d'un tel additionneur est représentée en fig 31-1.

Nous proposons deux montages.

a) Propagation de la retenue sur un fil (fig 32-2)

Dans ce cas, les fonction S_n et R_n sont réalisées à l'aide de cellules de type III-I.

b) Propagation de la retenue sur 4 fils (fig 32-1)

Ce montage présente la particularité de générer la retenue de sortie en une couche logique par étage, en utilisant des cellules de type "porte".

3.5.2 Additionneur parallèle à retenue anticipée

Le temps d'addition d'un additionneur à retenue en cascade de n étages est fixé par n fois le temps de propagation de la retenue à travers un étage.

Pour le traitement de nombres binaires de grand format, il devient nécessaire de faire appel à un algorithme permettant de réduite ce temps d'addition : c'est la retenue anticipée.

La retenue de sortie d'un groupe de p étages est réalisée à l'aide d'un générateur de retenue anticipée sur p étages, en un nombre minimum de couches logiques.

La structure de l'additionneur est représentée en figure 31-2a.

$R_{o,p}$ est la retenue anticipée sur un groupe de p bits.

De cette manière, l'addition binaire de deux nombres de p^2 bits nécessite :

- p additionneurs réalisant chacun la retenue anticipée sur un groupe de p bits

- un générateur de retenue anticipée sur p groupes, analogue au générateur de retenue anticipée sur p étages (fig 31-2b).

Au lieu de franchir p^2 niveaux de circuits, deux générateurs de retenue anticipée suffisent ; la méthode de la retenue anticipée doit permettre une réduction importante du temps d'addition de deux nombres de grand format.

Dans les montages que nous proposons, la retenue est propagée sur deux fils, soit $P_n = A_n \cdot B_n$ et $G_n = A_n + B_n$.

Un additionneur parallèle à retenue anticipée comprend : (fig 33)

- des générateurs de retenue anticipée élaborant

  1° au niveau de chaque étage : $R_n = F\ (P_o, G_o, \ldots \ldots, P_n, G_n)$

  2° au niveau d'un groupe de p bits : $R_{o,p} = F\ (P_o, G_o, \ldots \ldots, P_p, G_p)$

- des sous-ensembles générant, au niveau de chaque bit la somme S_n et les retenues P_n et G_n.

Suivant le type de logique, nous présentons les versions suivantes :

a) Logique en "portes" (fig 33a)

b) Logique à 2 niveaux (fig 33b)

L'utilisation d'une logique multiniveaux semble particulièrement adaptée au traitement de ce sous-ensemble car elle permet de réduire le nombre de cellules de 11 à 6.

3.5.3 Unité logique et arithmétique

On peut augmenter la flexibilité logique d'un additionneur à retenue anticipée en lui adjoignant 4 entrées supplémentaires, de sorte qu'il sera possible de choisir 16 fonctions différentes. Une entrée dite "MODE" permet de choisir entre 16 fonctions logiques et 16 fonctions arithmétiques.

Le montage proposé en figure 34 utilise une logique à 2 niveaux pour élaborer les fonctions complexes P_n, G_n et S_n.

A partir de ce sous-ensemble particulièrement simple il est possible de créer une unité logique et arithmétique générant les fonctions suivantes :

- toutes les fonctions logiques de A et B
- l'addition et la soustraction binaire de A et B
- la soustraction d'une unité à A
- le décalage à gauche d'un bit de A

Ce dernier exemple illustre bien la flexibilité de la logique multiniveaux et l'intérêt que présente la logique à aiguillage de courant pour la réalisation des fonctions logiques complexes.

CHAPITRE III

RESOLUTION DES PROBLEMES D'IMPLANTATION

L'intégration des transistors bipolaires est régie par un certain nombre de règles relatives à l'isolement des composants, groupés dans différents caissons [1]. Au niveau de l'implantation, les contraintes sont les suivantes :

- intégration d'un transistor par caisson (ou de plusieurs transistors à collecteur commun)
- possibilité d'intégration des résistances dans un caisson unique (polarisé au potentiel le plus positif du circuit).

Du fait de sa structure, le transistor bipolaire se prête mal à une méthode simple d'implantation. En effet, les caractéristiques de ce dispositif ne permettent pas de construire un réseau de type matriciel comme il en existe avec les transistors MOS, implantés suivant la méthode de "l'espalier".

Avec la complexité croissante des circuits intégrés, la nécessité de définir un ensemble de méthodes d'implantation est vite apparue.

Nous allons examiner les différentes solutions proposées par les constructeurs de circuits intégrés en vue de résoudre les problèmes relatifs :

- à l'intégration des composants
- à la réalisation des différentes liaisons électriques :
  - . intraconnexions, ou liaison des éléments entre eux, à l'intérieur d'un opérateur
  - . interconnexions, ou liaison entre opérateurs
  - . lignes d'alimentation

1. Vue d'ensemble sur les différentes techniques d'intégration des transistors bipolaires

Devant la complexité des ensembles logiques et leur difficulté de mise en oeuvre, il a fallu définir un ensemble de méthodes capables d'assurer la fourniture d'un circuit en un minimum de temps et au moindre coût.

Les moyens de conception et de fabrication assistés par ordinateur conditionnent dans une large mesure le choix d'une telle méthode.

Nous relevons essentiellement deux méthodes d'interconnexions :

- le câblage sélectif
- l'interconnexion figée

1.1 Méthode du câblage sélectif

Dans cette technique, le réseau de cellules élémentaires s'étend uniformément sur toute la surface de la plaquette. Un test individuel des opérateurs est effectué après dépôt de la première métallisation. Le calculateur garde en mémoire la cartographie du test, et génère un ou plusieurs masques d'interconnexions des opérateurs reconnus bons par le test, afin de réaliser la fonction proposée.

A rendement de fabrication identique, l'approche du câblage sélectif permet d'atteindre une complexité très supérieure à celle obtenue par l'interconnexion figée [7].

La réalisation des circuits par cette méthode est entièrement automatisée, depuis le test des éléments jusqu'à la production des masques à l'échelle 1. Le câblage sélectif coûte donc très cher en temps de calculateur, mais il offre les performances les plus poussées en matière de :

- compacité (très bonne utilisation du silicium)
- fiabilité (élimination des opérateurs non conformes aux spécifications).

Ces deux caractéristiques le rendent très intéressant pour les équipements embarqués, lorsque le prix de revient n'est pas considéré comme un facteur primordial.

A l'heure actuelle, seul Texas Instruments semble avoir étudié sérieusement ce problème. Selon ce constructeur, cette technique ne sera pas compétitive avec les autres méthodes avant plusieurs années [8].

1.2 Méthode de l'interconnexion fixe

Cette technique se caractérise par le test du circuit réalisé après fabrication complète. Elle regroupe 3 variantes.

1.2.1 Technique du circuit à la demande

C'est une méthode propre aux circuits de faible complexité ; de cette manière, chaque ensemble logique est traité comme un cas particulier.

L'implantation topologique est étudiée en fonction de chaque circuit et un jeu de masques photographiques complet est élaboré.

Le circuit à la demande conduit à une très bonne optimisation de la topologie, la densité d'occupation du silicium étant très élevée. Cependant, il demande une conception complète pour tout nouveau circuit et, par conséquent, des délais d'exécution importants.

1.2.2 Technique des blocs préfabriqués (fig 35)

Tous les opérateurs sont étudiés séparément ; pour chacun d'entre eux, on définit un bloc de la manière suivante :

- le "bloc" comprend les éléments diffusés et les intraconnexions. Des plages métallisées d'entrée et de sortie sont prévues pour les interconnexions

- l'implantation topologique est optimisée au niveau de chaque bloc.

En vue de faciliter l'assemblage de plusieurs blocs, une dimension type, h, est respectée, l'autre dimension variant suivant la complexité de l'opérateur.

Un exemple est traité en figure 35 où on distingue bien sur l'assemblage final, les alimentations, les intraconnexions, et les interconnexions.

La technique des blocs préfabriqués nécessite l'élaboration d'un jeu de masques complet par circuit. Mais, contrairement à la précédente, les masques de diffusion et d'intraconnexions sont rapidement réalisés car les masques élémentaires de chaque bloc sont tenus "en mémoire". Par contre, le masque d'interconnexions est spécifique à chaque circuit.

Cette méthode implique une aide importante du calculateur, qui réalise les masques d'ensemble par regroupement des masques de chaque bloc.

Motorola dispose d'une réalisation commerciale, utilisant des transistors MOS, connue sous le nom de "Polycell" [9]. En transistors bipolaires, nous pouvons citer la famille d'opérateurs TTL de Sescosem [10].

1.2.3 Matrice d'éléments diffusés

Nous définissons une matrice par une plaquette de silicium, comportant des éléments (transistors, résistances) et dépourvue de métallisations.

La composition de la matrice est fixée définitivement. De la sorte, un seul jeu de masques de diffusion est nécessaire pour la réalisation de circuits différents.

Les éléments diffusés sont généralement groupés en motifs disposés périodiquement sur l'étendue de la plaquette.

A chaque motif correspond, soit un opérateur, soit plusieurs opérateurs de type différent.

Cette méthode est particulièrement intéressante quand la synthèse du schéma logique peut s'effectuer à partir d'un type d'opérateur unique (porte logique OU-NON/OU en ECL) ou de deux types d'opérateurs (porte interne et porte externe par exemple).

Un grand nombre de constructeurs ont étudié et réalisé des matrices d'éléments diffusés. Nous avons relevé deux exemples caractéristiques :

- une famille de portes TTL proposée par "Sylvania" [8] ; le motif périodique est composé de 3 portes "internes" et d'une porte "externe"
- un ensemble de portes logiques identiques, à niveaux E^2CL, développé par RCA [11].

1.3 Utilisation d'un réseau de connexions multicouches

Les montages à basse impédance, utilisés dans les circuits rapides, éliminent généralement l'emploi de barreaux diffusés, de résistance linéique élevée.

La complexité du réseau de connexions conduit donc à plusieurs niveaux de métallisations, soit en général :

- 1er niveau : intraconnexions
- 2ème niveau : interconnexions

Dans le but de s'affranchir des problèmes de topologie, on peut utiliser un réseau d'interconnexions orthogonal :

- soit avec un troisième niveau de métallisation
- soit en réservant sur le premier niveau des emplacements dépourvus d'éléments diffusés ; ils comportent des bandes métallisées qui sont utilisées comme interconnexions suivant le câblage.

1.4 Choix d'une technique d'intégration

Le choix d'une méthode fait intervenir de nombreux facteurs. En dehors de considérations d'ordre technologique, il faudra tenir compte :

- de la complexité des circuits à intégrer
- de la quantité de dispositifs à réaliser
- des délais de conception et de réalisation
- du coût
- des moyens en conception et fabrication assistées par ordinateur.

Un tableau comparatif peut être dressé en fonction des trois méthodes d'interconnexions retenues [8].

	Matrice d'éléments diffusés	Technique des blocs préfabriqués	Circuit à la demande
Durée du cycle de conception	4 à 8 semaines	8 à 12 semaines	14 à 24 semaines
Complexité	25 à 100 portes	25 à 150 portes	1 à 200 portes
Dimension moyenne normée de la pastille	1,7	1,2	1
Coût de conception (normés)	1	2	5
Utilisation de l'ordinateur	importante	importante	faible

Le bilan semble favorable à la matrice d'éléments diffusés, en dépit d'une mauvaise utilisation de la surface du silicium.

L'évolution du coût d'un circuit, en fonction du nombre de dispositifs de la série (fig 36) confirme ce choix dans le domaine des petites séries [8].

2. Recherche d'une méthode originale d'implantation

A l'occasion des différentes études menées en vue de résoudre des problèmes particuliers (intégration d'opérateurs ECL ultra-rapides) on a pu développer une nouvelle méthode d'implantation, applicable à toutes les familles d'opérateurs utilisant des transistors bipolaires.

2.1 Définition des objectifs

Notre but est d'associer les avantages de la matrice d'éléments diffusés (rapidité d'exécution d'un circuit donné, coût réduit) à la souplesse d'emploi des blocs préfabriqués. Nous nous fixerons donc :

- une plaquette prédiffusée commune à tous les ensembles logiques
- une bibliothèque des dessins des masques élémentaires, correspondant aux métallisations des opérateurs. On prévoira un grand nombre d'opérateurs dont la complexité pourra varier de 5 à 50 composants, par exemple.

2.2 Méthode d'implantation "MEDICIS"

Nous présentons une méthode basée sur l'utilisation d'une Matrice d'Eléments Diffusés à Cellules Intégrées Spécialisables ou méthode "MEDICIS".

Cette méthode est caractérisée par le découpage de la matrice en un certain nombre de motifs identiques ou "cellules".

La composition et la topologie des cellules est étudiée de telle sorte que chaque opérateur puisse être réalisé avec un nombre entier de cellules. De la sorte, l'opérateur le plus simple nécessite une cellule et l'opérateur le plus complexe occupe en général une surface de silicium de l'ordre de 4 ou 5 cellules.

L'intégration d'ensembles logiques à l'aide de la méthode MEDICIS peut être décomposée en 3 temps :

- 1° Etablir le dessin des masques de chaque opérateur en utilisant la technique des blocs préfabriqués. La dimension commune de ces blocs h (fig 35) fixera une des dimensions de la cellule.

2° A partir des blocs préfabriqués, déterminer la topologie optimale d'une cellule telle que tous les opérateurs puissent être intégrés :

- avec un nombre minimum de cellules
- avec un nombre minimum de composants non utilisés.
  On obtient ainsi une cellule de dimension h x 1 (fig 37).

3° Réaliser :

- pour la totalité des ensembles logiques, des matrices d'éléments diffusés par assemblage de cellules
- pour un ensemble logique donné, le dessin des masques de métallisation par assemblage des dessins de masques propres à chaque opérateur.

Le masque d'intraconnexions est donc rapidement obtenu, les topologies des métallisations relatives aux différents opérateurs étant tenues en "bibliothèque".

2.3 Aplications

La méthode MEDICIS peut être appliquée à toutes les familles d'opérateurs logiques. Son intérêt est d'autant plus grand que le nombre d'opérateurs de base est élevé.

Nous pouvons citer quelques familles logiques, susceptibles d'utiliser la méthode MEDICIS :

- les familles DTL et TTL (opérateurs ET-NON, ET-OU-NON ; bascules ; interfaces de sortie de type "totem-pôle")
- la famille ECL (opérateur OU-NON/OU ; blocs à aiguillage de courant ; bascules ; portes à saut logique réduit).

3. Utilisation de la méthode MEDICIS

Nous allons appliquer la méthode MEDICIS à la famille d'opérateurs ultra-rapides, de faible consommation, définie dans le chapitre II.

3.1 Problèmesparticuliers posés par l'implantation d'opérateurs ECL

a) Intégration de deux types de cellules

Nous prévoyons l'intégration des blocs de polarisation dont la composition est très différente de celle des opérateurs. Nous sommes donc dans l'obligation de distinguer 2 types de cellules :

- Cellule de type 1, relative aux opérateurs, comprenant les résistances de collecteur R_c, un générateur de courant, et un grand nombre de transistors
- Cellule de type 2, relative aux blocs de polarisation, comprenant un générateur de courant et un grand nombre de résistances.

b) Géométries des lignes d'alimentation

Les bandes métallisées utilisées comme lignes d'alimentation, présentent une résistance non négligeable vis-à-vis de la valeur des résistances diffusées. Il faut donc des conducteurs de faible longueur et de grande largeur, soit une cellule de dimensions $h \gg 1$ (fig 37). Dans ce cas la configuration la plus intéressante est celle où les lignes d'alimentation figurent aux deux "extrémités" de la cellule, ce qui permet d'obtenir un schéma topologique très proche du schéma électrique conventionnel.

3.2 Composition des cellules

L'intégration des opérateurs en blocs préfabriqués nous donne la dimension h d'une cellule, soit $h = 900\ \mu$.

L'emploi de la méthode MEDICIS nous permet de déterminer (fig 38) :

- Cellule de type 1 : $l = 200\ \mu$. Ce motif comprend 12 transistors et 9 résistances ; il est composé de deux parties sensiblement identiques de telle sorte qu'il sera possible d'intégrer un opérateur de faible complexité dans une "demi-cellule".

L'intégration d'une porte logique met en jeu 0,5 ou 1 cellule ; celle

d'un opérateur de type III-I utilise 1,5 ou 2 cellules.

- Cellule de type 2 : l = 130 µ. Elle comprend 3 transistors et 12 résistances.

Nous donnons deux exemples de spécialisation de ces cellules :

- figure 39 : interface de sortie ECL (opérateurs I-DI, XI-E, E-DE)
- figure 40 : bascule maître esclave (2 opérateurs IE-I).

3.3 Assemblage des cellules

Les cellules sont disposées en rangées à raison d'une cellule de type 2 pour 3 cellules de type 1.

L'intégration de plusieurs rangées sur une même plaquette de silicium s'effectuera en faisant correspondre les lignes d'alimentation de même polarité.

CHAPITRE IV

REALISATION D'ENSEMBLES LOGIQUES ULTRA-RAPIDES, DE MOYENNE COMPLEXITE

Les études électriques, logiques et topologiques, entreprises au cours de la recherche, ont pour but essentiel la définition d'un ensemble d'"outils", adaptés à l'intégration de circuits rapides complexes à la demande.

L'objectif visé est de réduire le travail de conception d'un circuit donné à :

- l'établissement du schéma logique à partir des opérateurs de base,
- la réalisation de deux masques de connexions pour chaque circuit
  - . un masque d'intraconnexions, obtenu par assemblage de différents motifs, préalablement définis
  - . un masque d'interconnexions propre à chaque ensemble logique.

Les différents problèmes soulevés par l'intégration de circuits ultra-rapides nous ont amenés à fractionner l'étude en deux phases, caractérisés par la réalisation de deux matrices d'éléments diffusés.

1° Intégration d'une matrice d'étude, d'une centaine de composants, permettant la réalisation de différents circuits d'essai, de faible complexité.

2° Intégration de la matrice définitive, d'un millier de composants, et réalisation de quelques circuits d'application, de complexité voisine de 30 portes.

Compte tenu des résultats obtenus dans cette seconde phase, il est envisagé, ultérieurement, d'utiliser cette matrice pour l'intégration d'ensembles logiques à la demande.

1. Réalisation des circuits d'essai à partir de la matrice d'étude

Cette phase a principalement pour but de définir les éléments entrant dans la composition de la matrice définitive et des ensembles logiques que nous désirons intégrer par la suite.

1.1 Présentation de la matrice d'étude

Les circuits d'essai ne nécessitent qu'un faible nombre de composants, aussi avons-nous choisi une matrice d'éléments diffusés de 50 transistors et 50 résistances, de dimensions 1,4 mm x 1,4 mm.

Trois jeux de masques de métallisation sont prévus afin de spécialiser la matrice d'étude en trois circuits d'essai.

Les connexions se font par une première couche de métallisation. Pour éviter les croisements de bandes métallisées, on utilise, soit des passages diffusés de faible résistance, réalisés à l'aide de diffusions de type N^+ (circuits n° 1 et n° 2), soit un réseau de connexions bicouche (circuit n° 3).

1.2 Définition des circuits d'essai

Nous avons prévu plusieurs versions d'opérateurs en fonction :

- de la rapidité ; $R_c = 50\ \Omega$ et $R_c = 100\ \Omega$
- des niveaux externes ; E^2CL et ECL
- du mode d'interconnexions.

Les circuits d'essai sont schématisés en figure 41. Ils sont composés essentiellement :

- d'opérateurs étudiés individuellement
- d'opérateurs associés en série ; ces associations comprennent : l'interface d'entrée, les opérateurs de la partie interne et l'interface de sortie.

Deux tensions d'alimentation sont utilisées : - 2 V et - 3,2 V. Cette dernière valeur permet une réduction de la consommation de l'ordre de 10 % par rapport aux opérateurs alimentés en 3,6 V.

Les opérateurs seront testés dans les conditions d'utilisation les plus défavorables au sein d'un ensemble logique ; en particulier, on fera varier la température de jonction entre 20°C et 160°C.

1.3 Caractéristiques relevées sur les circuits d'essai

Les mesures effectuées sur les différents circuits font l'objet de [2], [5], [12] ; nous pouvons mentionner les principaux résultats :

a) Performances dynamiques

- temps de propagation moyen | de l'ordre de 1 ns (version 100 Ω)
  | de 0,8 ns à 0,9 ns (version 50 Ω)
- amélioration des temps de commutation en version bicouche.

b) Caractéristiques statiques

- dispersions importantes sur les niveaux logiques
- consommation élevée des opérateurs | en version 50 Ω
  | à niveau de sortie E^2CL

c) Mode d'interconnexions

Adoption d'un réseau bicouche en raison :

- du gain en surface de silicium (suppresiion des passages diffusés)
- de l'amélioration des performances dynamiques.

d) Effets de la température

- faible valeur de l'immunité à la saturation à température élevée
  (A T_j = 160°C, on entre en régime de saturation)
- élévation de température due à la résistance thermique du boîtier.

Une dissipation de 1 watt cause une augmentation de température de 90°C. La température ambiante maximale sera donc de l'ordre de 70°C pour les ensembles logiques.

1.4 Conclusions de la première phase

La matrice d'étude a permis d'obtenir des opérateurs se caractérisant par un temps de propagation moyen inférieur ou égal à une nanoseconde. Au point de vue rapidité, on peut donc considérer que les objectifs sont atteints.

Toutefois, il reste à résoudre un certain nombre de problèmes apparus sur le plan statique. Ces problèmes se poseront d'ailleurs de manière plus accentuée lors de la réalisation de circuits complexes.

Les enseignements recueillis dans cette première phase des travaux nous ont conduits à prendre les orientations suivantes :

a) Choix d'une famille d'opérateurs de consommation aussi faible que possible, soit des circuits en version 100 Ω et des interfaces ECL,

b) Topologie de la matrice définitive prévoyant des lignes d'alimentation de faible résistance afin de minimiser les chutes de tension (voir annexe 3),

c) Réévaluation des opérateurs de base en fonction des résultats obtenus sur les circuits d'essai. A cette occasion, on a entrepris l'analyse des dispersions sur les niveaux logiques. Cette étude fait l'objet de l'annexe 3.

2. Réalisation d'une matrice d'éléments diffusés et de circuits d'applications

Les performances relevées sur les circuits d'application, de complexité voisine de 30 portes, doivent nous permettre d'évaluer les principales caractéristiques des ensembles logiques intégrables à l'aide de la matrice ; il sera alors possible d'étudier l'intégration de circuits "à la demande".

2.1 Constitution de la matrice

Nous rappleons que la matrice est destinée à l'intégration d'ensembles logiques de complexité maximale 40 portes, soit un nombre de transistors compris entre 200 et 300.

La matrice sera constituée de 48 cellules :

- 36 cellules de type 1
- 12 cellules de type 2

} figure 38

La dispostion des cellules est schématisée en figure 42, où on distingue 3 rangées. Les rangées n° 1 et n° 3 se déduisent de la rangée n° 2 par symétrie par rapport aux points C_1 et C_2. De cette manière, les lignes d'alimentation de même polarité peuvent être reliées d'une rangée à l'autre.

La matrice comporte au total 993 composants se répartissant en 468 tran-

sistors et 525 résistances.

Dimensions

Les dimensions géométriques sont les suivantes (fig 42) :

- cellule de type 1 : 900 µ x 200 µ
- cellule de type 2 : 900 µ x 130 µ
- surface utile de la matrice : 2,7 mm x 2,92 mm = 7,88 mm^2
- surface hors tout : 3,4 mm x 3,5 mm = 11,9 mm^2

La densité de composants est de :

- 126/mm^2 si on considère la surface utile
- 83/mm^2 si on considère la surface hors tout.

2.2 Définition des circuits d'application

Les circuits d'application font largement appel aux sous-ensembles définis dans la première partie. Quatre circuits ont été choisis. Deux d'entre eux utilisent la logique en "portes" ; les deux autres circuits utilisent respectivement la logique à aiguillage de courant sur deux et trois étages.

1° Additionneur 4 bits en "portes" utilisant le principe de la retenue en cascade (fig 45)

Cet additionneur 4 bits est dérivé du sous-ensemble défini en fig 32-1. L'ensemble logique est d'une complexité de 34 portes et consomme 700 mW.

2° Additionneur 4 bits en "portes" utilisant le principe de la retenue anticipée (fig 46)

La structure de cet additionneur a été étudiée dans la 1ère partie (fig 33a).

Ce circuit est d'une complexité de 35 portes et consomme 884 mW.

3° Additionneur 4 bits en logique à aiguillage de courant utilisant le principe de la retenue en cascade (fig 47)

Cet additionneur 4 bits est dérivé du sous-ensemble défini en 32-2.

Un étage est composé :

- de deux cellules de type III-I dont le schéma est représenté en figure 44
- des interfaces d'entrée et de sortie.

Le circuit, d'une complexité équivalente de 30 portes, dissipe 859 mW.

4° Registre à décalage de 16 bits à entrée série (fig 48)

Ce circuit est essentiellement composé de 16 bascules maître esclave ; un élément de registre est représenté en figure 44.

Le registre à décalage, d'une complexité équivalente de 35 portes, dissipe 986 mW. Par ailleurs, il est possible de réaliser ce circuit en version réduite à 8 bits.

5° Circuit de test (fig 49)

Nous avons défini un circuit de test permettant d'intégrer les interfaces d'entrée et de sortie et une cellule de type I-I.

Sur ce circuit il est possible de tester un grand nombre d'éléments, transistors et résistances.

Rôle des circuits d'application

Les ensembles logiques intégrés doivent nous permettre de comparer les versions suivantes :

- logique en "portes" et logique à aiguillage de courant (circuits 1 et 3)
- mode de propagation de la retenue sur un additionneur (circuits 1 et 2)
- registres à décalage 16 bits et 8 bits (circuit 4)

2.3 Caractéristiques électriques relevées sur les circuits d'application

A l'heure actuelle nous disposons de résultats sur 3 circuits d'application, soit les circuits 1 et 3 et le circuit de test [12].

2.3.1 Caractéristiques relevées sur le circuit de test

Performances statiques

Nous avons vérifié les principaux points suivants :

- rapports de résistances conformes aux prévisions
- niveaux logiques V_C^o, V_C^1 et V_P corrects (il faut cependant préciser que les chutes de tension dans les lignes d'alimentation n'interviennent pas dans ce circuit de faible complexité)
- consommations proches des valeurs nominales.

Performances dynamiques

Les résultats suivants ont été obtenus (à charge capacitive nulle) :

- interface d'entrée : t_p = 0,6 ns
- cellule de type I-I : t_p = 0,75 ns
- interface de sortie : t_p = 1,4 ns ; $t_m \simeq t_d \simeq$ 1,8 ns.

Les deux premières valeurs correspondent aux temps de propagation mesurés sur les circuits d'essai.

Les temps de commutation mesurés sur l'interface de sortie sont en bon accord avec les résultats de simulation (t_p = 1,5 ns, $t_m \simeq t_d \simeq$ 1,5 ns).

2.3.2 Caractéristiques relevées sur les circuits n° 1 et n° 3

Les tests dynamiques sur les additionneurs 4 bits ont donné les résultats suivants :

- caractéristiques des signaux de sortie

$t_m \simeq t_d \simeq$ 2 ns

- temps de propagation

Sur les deux types d'additionneurs, nous avons relevé les différents temps de propagation ; nous pouvons en déduire les caractéristiques suivantes :

. interface d'entrée + interface de sortie : $t_p = 2$ ns

. partie interne - porte : $t_p = 1$ ns

- bloc à aiguillage de courant : $t_p = 1{,}2$ ns (2ème étage) ; $t_p = 2{,}8$ ns (3ème étage)

Le retard de la retenue de sortie sur la retenue d'entrée est de l'ordre de 6 ns pour les deux versions d'additionneurs, soit :

. 1 ns par couche logique (traversée de 4 opérateurs de la partie interne + 2 interfaces)

. 1,5 ns par bit.

Compte tenu de ces premiers résultats, nous pouvons considérer que les objectifs de l'étude sont atteints ; en particulier, des temps de propagation de 1 ns par couche logique peuvent être garantis.

CHAPITRE V

DEVELOPPEMENT DE CIRCUITS A LA DEMANDE

Les différentes réalisations prouvent bien la faisabilité de circuits complexes ultra-rapides ; nous pouvons donc dès à présent envisager le développement de circuits à la demande.

En effet, nous sommes en possession des différents outils nécessaires à l'intégration de ces circuits :

- matrice d'éléments diffusés
- modèles de composants
- schémathèque des opérateurs de base
- bibliothèque de dessins des masques
- schémathèque de sous-ensembles logiques.

Constitution d'une famille d'ensembles logiques

A l'aide des différents sous-ensembles définis dans le chapitre II, nous avons répertorié en figure 50 , quelques circuits d'usage fréquent, susceptibles d'être réalisés à l'aide de la matrice. Notons en particulier :

. un compteur-décompteur jusqu'à 100, à entrées parallèles

. un registre à décalage 6 bits à 3 sens de progression

. une unité logique et arithmétique à entrées parallèles sur 4 bits, d'une complexité équivalente de 60 portes.

Parallèlement à l'étude de circuits à la demande, intégrés en vue d'une application particulière, nous pouvons envisager la constitution d'une famille d'ensembles logiques ultra-rapides, de conception originale. Une utilisation rationnelle de la logique à aiguillage de courant doit permettre de réaliser des circuits de complexité comprise entre 40 et 60 portes.

CONCLUSION

En conclusion de cet exposé, nous pouvons rappeler brièvement les caractères principaux de nos travaux.

Nous présentons une matrice d'éléments diffusés d'un millier de composants, destinée à l'intégration de circuits logiques ultra-rapides de moyenne complexité (de 30 à 40 portes).

En fonction d'un circuit particulier, la matrice peut être spécialisée en une association d'opérateurs à l'aide de masques d'interconnexions appropriés. L'utilisation d'une méthode d'implantation originale, la méthode "MEDICIS", rend cette opération particulièrement aisée.

Au moyen de cette matrice, il nous est possible d'intégrer un grand nombre de circuits tels que compteurs, registres à décalage, additionneurs, etc... La solution matricielle présente l'avantage d'assurer la réalisation des dispositifs dans des délais relativement brefs tout en réduisant le coût de conception et de fabrication d'un circuit donné.

Un aspect intéressant de nos travaux est la présentation d'une famille d'opérateurs de conception originale.

Par l'emploi de la logique à aiguillage de courant d'une part, et l'adoption d'un découpage logique distinguant une partie interne et des interfaces d'autre part, la dissipation peut être ramenée à une valeur moyenne de 20 mW par porte pour un temps de propagation moyen de 1 ns par couche logique.

Les circuits réalisés présentent donc un facteur de mérite de l'ordre de 20 mW x ns, leur conférant une place de tout premier ordre parmi les autres types de logique ultra-rapides en cours de développement à l'heure actuelle.

Nous pouvons donc envisager la constitution d'une famille de circuits logiques de hautes performances, de complexité voisine de 40 portes. Les éléments de cette famille, réalisés à l'aide de la matrice d'éléments diffusés, permettraient de répondre aux principaux besoins de l'électronique rapide.

ANNEXE 1

CARACTERISTIQUES STATIQUES DES OPERATEURS DE BASE

Conventions

1. Potentiels exprimés par rapport à la masse ($V_a < 0$)
2. Tension aux bornes d'une jonction émetteur-base, polarisée en direct, négative

$$\left|V_{be}\right|_{T_o} = \left|V_o\right| = - V_o = V_T \cdot \ln \frac{I_o}{I_{eo}}$$

3. Tous les courants exprimés sont positifs.

Exceptions

- courant d'entrée d'un opérateur (I positif "entrant")
- courant de sortie (I positif "sortant")

1. Porte logique à émetteurs couplés

1.1 Equations de base en régime non saturé (fig 51-1)

$$\left|V_1\right| = V_T \cdot \ln \frac{I_1}{I_{eo}}$$

$$I_1 + I_2 = I_r$$

$$\left|V_2\right| = V_T \cdot \ln \frac{I_2}{I_{eo}}$$

$$V_b - V_p = V_T \cdot \ln \frac{I_1}{I_r - I_1}$$

$$I_1 = I_r \cdot \frac{1}{1 + \exp - \frac{V_b - V_p}{V_T}}$$

$V_b \ll V_p$ $\quad I_1 = 0$

$V_b = V_p$ $\quad I_1 = \frac{I_r}{2}$

$V_b \gg V_p$ $\quad I_1 = I_r$

1.1.1 Caractéristiques de transfert $V_c(V_b)$ - (fig 52)

$$V_{C1} = -\alpha R_c I_1$$

$$V_{C2} = -\alpha R_c (I_r - I_1)$$

Gain différentiel

$$\frac{dV_{C1}}{dV_B} = -\frac{dV_{C2}}{dV_b} = G_d = -\frac{\alpha R_c I_r}{V_T} \cdot \frac{I_r - I_1}{I_1}$$

$$\begin{cases} V_b \ll V_p & G_d = 0 \\ V_b = V_p & G_d = -\dfrac{\alpha R_c I_r}{4V_T} = -|G_d|_{max} \\ V_b \gg V_p & G_d = 0 \end{cases}$$

Point de la caractéristique de transfert où $|G_d| = 1$

Nous notons :

$$Z = \frac{\alpha R_c I_r}{V_T}$$

$$|G_d| = Z \cdot \frac{I_1}{I_r} \cdot \left(1 - \frac{I_1}{I_r}\right) = 1$$

Les solutions sont exprimées par :

$$\left|I_1 - \frac{I_r}{2}\right| = \frac{I_r}{2} \sqrt{1 - \frac{4}{Z}}$$

$$\left|V_b - V_p\right| = V_T \cdot \ln \frac{1 + \sqrt{1 - \frac{4}{Z}}}{1 - \sqrt{1 - \frac{4}{Z}}}$$

Cas particulier : $z \gg 1$

$$\left|I_1 - \frac{I_r}{2}\right| = \frac{I_r}{2}\left(1 - \frac{2}{z}\right)$$

$$\left|V_b - V_p\right| = V_T \cdot \ln (z - 1)$$

Largeur de transition

Il existe deux définitions de la zone de transition :

a) excursion de la tension d'entrée nécessaire à une variation du signal de sortie en 10 % et 90 % du saut logique

Cette définition donne la valeur $2\ V_T \cdot \ln 9 = 4{,}4\ V_T$

b) excursion de la tension d'entrée où $|G_d| \geqslant 1$ soit :

$$2V_T \cdot \rho_n \frac{1 + \sqrt{1 - \frac{4}{z}}}{1 - \sqrt{1 - \frac{4}{z}}}$$

z	Largeur de transition
4	0
8	3,5 V_T
16	5,3 V_T
32	6,9 V_T

1.1.2 Caractéristique d'émetteur $V_e(V_b)$ - (fig 53-2)

Nous définissons : $|V_o| = V_T \cdot \ln \frac{I_r}{I_{eo}}$

$$V_e = V_b + V_1 = V_b - V_T \cdot \ln \left(\frac{I_1}{I_r} \cdot \frac{I_r}{I_{eo}} \right)$$

$$V_e = V_b + V_o - V_T \cdot \ln \frac{I_1}{I_r}$$

$$\frac{dV_e}{dV_b} = \frac{I_1}{I_r}$$

1.1.3 Caractéristique d'entrée $I_b(V_b)$ - (Fig 52-2)

$I_b = (1 - \alpha_n) I_1$

Cette caractéristique se déduit de la caractéristique de transfert.

En particulier :

$V_b \ll V_p$ $\qquad \frac{dI_b}{dV_b} = 0$

$V_b = V_p$ $\qquad \frac{dI_b}{dV_b} = \frac{1}{4\beta} \cdot \frac{I_r}{V_T}$

$V_b \gg V_p$ $\qquad \frac{dI_b}{dV_b} = 0$

1.1.4 Caractéristiques de sortie $I_{S1}(V_{C1})$ - (fig 53-1)

$$I_{S1} = - \frac{V_{C1}}{R_c} - \alpha I_1$$

$$\frac{dI_{S1}}{dV_{C1}} = - \frac{1}{R_c}$$

1.1.5 Symétrie de fonctionnement

En sortie, la fonction est symétrique par rapport à la tension $-\frac{\alpha R_c I_r}{2}$.

En entrée, il faut respecter : $V_b^1 - V_p = V_p - V_b^o$.

1.2 Equations de base en régime saturé

La saturation du transistor d'entrée se produit quand la jonction collecteur-base est passante (fig 12).

$$I_r = cte = I_{ej} - \alpha_i \cdot I_{cj}$$

$$I_b = (1 - \alpha) I_{ej} + (1 - \alpha_i) I_{cj}$$

$$\boxed{\begin{aligned} I_b &= (1 - \alpha) I_r + (1 - \alpha\alpha_i) I_{cj} \\ I_{C1} &= - \alpha I_r + (1 - \alpha\alpha_i) I_{cj} \end{aligned}}$$

$I_{cj}(V_b)$ et les caractéristiques d'entrée et de transfert, sont déterminées graphiquement (fig 52-2 et 52-1).

Caractéristiques de sortie

Si l'entrée est au niveau haut ($V_b = V_b^1$), il y a risque de saturation (fig 53-1).

$$I_{S1} = - \frac{V_{C1}}{R_c} - \alpha . I_r + (1 - \alpha\alpha_i) . I_{cj}$$

$$\boxed{\frac{dI_{S1}}{dV_{C1}} = - \frac{1}{R_c} - (1 - \alpha\alpha_i) \frac{I_{cj}}{V_T}}$$

1.3 Amplificateur différentiel attaqué par des niveaux complémentaires

Deux signaux, issus des sorties complémentaires d'une même porte, peuvent attaquer les entrées d'un amplificateur différentiel.

Si $V_b^o + V_b^1 = S$, on attaque le transistor T_1 par V_b et le transistor T_2 par $S - V_b$.

L'équation de base devient :

$$\boxed{V_b - \frac{S}{2} = \frac{V_T}{2} . \ln \frac{I_1}{I_r - I_1}}$$

Ceci revient à substituer $\frac{S}{2}$ à V_p et $\frac{V_T}{2}$ à V_T.

Conséquences

1° La largeur de transition (première définition) est réduite à 2,2 V_T.

2° La caractéristique d'émetteur est modifiée (fig 53-2) soit :

$$\frac{dV_e}{dV_b} = 2 \cdot \frac{I_1}{I_r} = 1$$

3° La saturation peut se produire sur T_1 et T_2.

4° Le nombre d'entrées de la porte est limité à 1.

1.4 Influence de $R_{bb'}$

La résistance d'accès à la base intervient sur le transistor d'entrée et sur le transistor attaqué par le signal de référence.

Les équations de base sont modifiées de la façon suivante :

$$\left[V_b - R_{bb'} \cdot \frac{I_1}{\beta} \right] - \left[V_p - R_{bb'} \cdot \frac{I_r - I_1}{\beta} \right] = V_T \cdot \ln \frac{I_1}{I_r - I_1}$$

$$V_b - V_p = - \frac{R_{bb'}}{\beta} (I_r - 2 I_1) + V_T \cdot \ln \frac{I_1}{I_r - I_1}$$

$$\frac{dV_b}{dV_{C1}} = - \frac{V_T}{\alpha R_c I_r} \cdot \frac{I_1}{I_r - I_1} + \frac{2R_{bb'}}{\alpha \beta R_c}$$

En $V_b = V_p$, seul le gain différentiel est modifié en :

$$\left| \frac{dV_{C1}}{dV_b} \right|_{max} \simeq \frac{\alpha R_c I_r}{4 V_T} \left(1 + \frac{R_{bb'}}{2} \cdot \frac{I_r}{V_T} \right)$$

Caractéristiques de transfert

La largeur de transition se trouve réduite.

Caractéristique d'entrée

$R_{bb'}$ est en série avec l'impédance d'entrée définie en 1.1.3.

En général : $R_{bb'} \ll 4 \beta \cdot \frac{V_T}{I_r}$

Fonctionnement en régime saturé

En saturation le courant base devient important, et la chute de tension dans $R_{bb'}$ n'est plus négligeable. (Fig 52-2)

1.5 Influence de $R_{cc'}$

La résistance d'accès au collecteur intervient sur l'expression des niveaux logiques de sortie.

$$V_{C1} = V_{C2} = - \frac{R_c}{R_c + R_{cc'}} \cdot \alpha R_c I_1$$

1.6 Influence du nombre de transistors d'entrée

Soit γ le nombre de transistors attaqués par un même signal. Les équations de base deviennent :

$$|V_1| = V_T \cdot \ln \frac{I_1/\gamma}{I_{eo}}$$

$$V_b - V_p = V_T \cdot \ln \frac{I_1/\gamma}{I_r - I_1}$$

Le point milieu de la caractéristique de transfert, défini par $I_1 = \frac{I_r}{2}$, est décalé vers les valeurs négatives de V_b, d'une valeur égale à $V_T \cdot \ln \gamma$.

2. Bloc à aiguillage de courant

Un grand nombre de caractéristiques sont communes à la porte à émetteurs couplés et au bloc à aiguillage de courant.

2.1 Caractéristiques de transfert

Suivant l'étage considéré, les caractéristiques sont repérées V_c (V_{b1}), V_c (V_{b2}), V_c (V_{b3}). (fig 54).

Nous notons la symétrie de fonctionnement de l'étage n par rapport à la tension de référence V_{pn}.

Il faut attirer l'attention sur les aléas de fonctionnement dans certaines configurations. Un exemple simple permet d'illustrer ce mode de fonctionnement, soit, par exemple la réalisation de la fonction $A\bar{B} + \bar{A}B = A \oplus B$.

Dans ce cas précis, un opérateur de type II-I peut convenir. Quand A et B varient simultanément, on observe un signal, d'amplitude maximum $\frac{\alpha R_c I_r}{2}$, pour $V_b = V_{p1}$ (fig 55).

Cet aléa en fonctionnement statique laisse présager des impulsions parasites de grande amplitude, dans certaines configurations de blocs à aiguillage de courant.

2.2 Influence du gain en courant sur les niveaux logiques

L'expression du niveau bas de sortie d'une porte élémentaire est :

$$V_c^o = - \alpha R_c I_r$$

Dans le cas d'un bloc à n étages, se caractérisant par des transistors de même gain en courant, le niveau bas s'écrit :

$$V_c^o = - \alpha^n R_c I_r$$

3. Circuits de décalage

Ceux-ci sont constitués par des étages à collecteur commun.

3.1 Circuits de décalage à résistance d'émetteur (fig 51-2)

$$V_b + V_1 - R_c \cdot I_e = V_a$$

Pour $V_b = V_p$, il est possible de définir V_o et I_o de telle sorte que :

$$V_p + V_o - R_e \cdot I_o = V_a$$

Dans ces conditions, nous pouvons exprimer les caractéristiques.

Transfert

$$V_e = V_a + \frac{1}{1 + \frac{V_T}{R_e \cdot I_o}} \cdot (V_b + V_o + V_T - V_a)$$

$$\boxed{\frac{dV_e}{dV_b} = \frac{1}{1 + \frac{V_T}{R_e\ I_o}}}$$

Nous rappelons qu'en général $\begin{cases} I_e \simeq I_o \\ \frac{V_T}{R_e\ I_o} \ll 1 \end{cases}$

Entrée

$$I_b = (1 - \alpha)\ E_e$$

$$\frac{dI_b}{dV_b} = \frac{1}{\beta} \cdot \frac{1}{R_e + \frac{V_T}{I_o}}$$

$$\boxed{\frac{dI_b}{dV_b} \simeq \frac{1}{\beta R_e +}}$$

Sortie (fig 56)

$$I_s = \frac{V_a - V_e}{R_e} + I_{eo} \cdot \exp \frac{V_b - V_e}{V_T}$$

$$\boxed{\frac{dI_s}{dV_e} \simeq - \frac{I_o}{V_T}}$$

3.2 Circuits de décalage à courant constant (fig 51-2)

Transfert : $V_e = V_b + V_o$

$$\frac{dV_e}{dV_b} = 1$$

Entrée : $I_b = (1 - \alpha)\, I_r$

$$\frac{dI_b}{dV_b} = 0$$

Sortie : les caractéristiques sont fonctions du montage adopté pour les circuits de décalage.

. décalage de 0,8 V $\qquad \frac{dI_s}{dV_s} = - \frac{I_o}{V_T}$

. décalage de 1,6 V $\qquad \frac{dI_s}{dV_s} = - 2 \frac{I_o}{V_T}$

. décalage compris entre 0,8 V et 1,6 V $\qquad \frac{dI_s}{dV_s} \simeq - R_{dec}$

3.3 Influence de $R_{bb'}$ et de l'impédance de sortie du générateur d'entrée

Les circuits de décalage sont destinés à être attaqués par une porte élémentaire ou un bloc à aiguillage de courant. L'impédance de sortie de ces opérateurs en régime non saturé, est R_c.

Les caractéristiques sont modifiées de la façon suivante :

Transfert

$$\frac{dV_e}{dV_b} = \frac{1}{1 + \frac{1}{R_e}\left(\frac{V_T}{I_o} + \frac{R_{bb'} + R_c}{\beta}\right)}$$

Entrée

$$\frac{dV_b}{dI_b} = \beta R_e + R_{bb'} + R_c \simeq \beta R_e$$

Sortie

$$\frac{dV_e}{dI_s} \simeq \left(\frac{V_T}{I_o} + \frac{R_{bb'} + R_c}{\beta}\right)$$

3.4 Nature de l'impédance de sortie d'un circuit de décalage

Soit une association porte et circuit de décalage ; nous supposons l'émetteur débranché. L'impédance vue de ce point est fonction de :

- $\tau_c = R_c \cdot \overline{C}_s$, constante de temps de sortie de la porte

- $\beta(\omega) = \frac{\beta_o}{1 + j \cdot \tau_\beta \cdot \omega}$

Par définition : $\tau_\beta = \frac{\beta_o}{2\pi f_T}$; f_T fréquence de coupure de α.

On peut montrer que l'impédance de sortie peut se mettre sous la forme : $Z_s = R_s + jY_s$.

$$R_s = \frac{R_c}{\beta_o} \cdot \frac{1 + \tau_\beta \cdot \tau_c \omega^2}{1 + \tau_c^2 \omega^2} + \frac{R_{bb'}}{\beta_o} + \frac{V_T}{I_o}$$

$$Y_s = \omega \left[\frac{R_c}{\beta_o} \cdot \frac{\tau_\beta - \tau_c}{1 + \tau_c^2 \omega^2} + \frac{R_{bb'}}{\beta_o} \cdot \tau_\beta \right]$$

La relation $\tau_\beta \gg \tau_c$ est généralement vérifiée. En conséquence l'impédance de sortie est de nature selfique.

En régime dynamique, un circuit de décalage se comporte comme un système du second ordre, et la réponse en sortie peut présenter des oscillations [15].

ANNEXE 2

CARACTERISTIQUES DYNAMIQUES DES OPERATEURS DE BASE

Nous nous intéressons uniquement à la réponse d'un opérateur de base à une rampe de tension de durée t_o.

En fonction de t_o et des caractéristiques du circuit, nous définissons les temps de commutation, soit (fig 57) :

- le temps de propagation, t_p, ou retard entre signal de sortie et signal d'entrée, à demi-excursion logique
- le temps de montée, t_m, et de descente, t_d, pris entre 10 % et 90 % de l'excursion logique du signal de sortie.

Il est ainsi possible de déterminer les temps de commutation d'une chaîne d'opérateurs, associés en série.

Soit A un opérateur attaqué par une rampe de durée t_o.

Soit B un opérateur attaqué par la cellule A.

Le signal en sortie de l'opérateur A est caractérisé par :

$[t_p]_A$, $[t_m]_A$, $[t_d]_A$, fonctions de t_o

Le signal de sortie de l'opérateur B peut être évalué en première approximation par les grandeurs :

$[t_p]_B$, $[t_m]_B$, $[t_d]_B$, fonctions de $[t_m]_A$ ou de $[t_d]_A$

1. Définitions

1.1 Définition de l'impédance d'entrée et de l'impédance sortie non-linéaires

L'admittance d'entrée est définie comme la dérivée, par rapport au signal d'entrée, du courant entrant dans la base.

$$\frac{1}{R_b} = \frac{dI_b}{dV_b}$$

La capacité d'entrée est définie comme la dérivée, par rapport au signal d'entrée, de la charge accumulée dans la base.

$$C_b = \frac{dQ_b}{dV_b} = \frac{dV_{be}}{dV_b} \cdot C_{be} + \frac{dV_{bc}}{dV_b} \cdot C_{bc}$$

Les mêmes définitions sont utilisées pour l'impédance de sortie, soit :

$$\frac{1}{R_s} = \frac{dI_s}{dV_s}$$

$$C_s = \frac{dQ_s}{dV_s}$$

1.2 Définition de l'impédance d'entrée et de l'impédance de sortie moyennes

Les formules établies au paragraphe précédent sont difficilement exploitables car elles font intervenir des grandeurs non-linéaires.

Aussi nous définissons la capacité d'entrée linéaire moyenne équivalente $\overline{C_b}$ qui, pour une variation du signal d'entrée de V_b^o à V_b^1, accumule la même charge que la capacité non linéaire C_b.

$$\overline{C_b} = \frac{\Delta Q_b}{\Delta V_b} = \frac{1}{\Delta V_b} \left[\int_{V_{b_e}^o}^{V_{b_e}^1} C_{be} \cdot dV_{be} + \int_{V_{bc}^o}^{V_{bc}^1} C_{bc} \cdot dV_{bc} \right]$$

De même

$$\overline{R_b} = \frac{\Delta V_b}{\Delta I_b}$$

Nous définissons également $\overline{C_s}$ et $\overline{R_s}$, capacité et résistance de sortie moyennes.

1.3 Réponse d'un système du premier ordre à une rampe de durée t_o

Soit τ la constance de temps du système du 1er ordre.

Suivant $\frac{t_o}{\tau}$, nous distinguons les fronts rapides ($\frac{t_o}{\tau} \ll 1$) et les fronts lents ($\frac{t_o}{\tau} \gg 1$).

a) Fronts rapides

Nous obtenons la réponse d'un système du 1er ordre à un échelon unité (fig 57 a)

$$t_p = 0{,}7\ \tau$$

$$t_m = t_d = 2{,}2\ \tau$$

b) Fronts lents (fig 57 b)

$$t_p = \tau$$

$$t_m = t_d = 0{,}8\ t_o$$

c) Pour les valeurs intermédiaires de $\frac{t_o}{\tau}$, les valeurs de t_p et t_m sont données en fig 58.

1.4 Caractéristiques de commutation selon la définition d'Elmore

Si H (p) est la fonction de transfert du système, la définition d'Elmore [13], [14] donne, pour $t_m \gg t_p$ (fronts lents) :

$$t_p = \lim_{p \to o} \left(- \frac{H'(p)}{H(p)} \right)$$

$$t_m = t_d = \lim_{p \to o} \sqrt{2 \pi \left(\frac{H''(p)}{H(p)} - t_p^2 \right)}$$

$H(p) = \frac{1}{1 + \tau p}$ pour un système du 1er ordre.

soit $t_p = \tau$

$$t_m = \sqrt{2 \pi \left(\frac{t_o^2}{12} + \tau^2 \right)}$$

a) Fronts rapides

L'expression de t_m s'accorde bien avec la réponse réelle (fig 58). En particulier $t_m \to 2{,}5\ \tau$ quand $\frac{t_o}{\tau} \to 0$

b) fronts lents ; on retrouve $t_p = \tau$

$t_m \to 0{,}73\ t_o$ quand $\frac{t_o}{\tau} \to \infty$

c) conclusions

Quelque soit $\frac{t_o}{\tau}$, les caractéristiques de commutation peuvent être évaluées de la manière suivante (fig 58)

$$0{,}7\ \tau \leqslant c\ t_p \leqslant \tau$$

$$t_m \simeq \sqrt{2 \pi \left(\frac{t_o^2}{12} + \tau^2 \right)}$$

à 10 % près

2. Expression des caractéristiques dynamiques

A l'aide de la définition d'Elmore, il est possible d'exprimer les temps de commutation d'un opérateur de base en fonction

- de l'impédance d'entrée moyenne
- de l'impédance de sortie moyenne
- de t_o, temps de montée du signal d'entrée.

2.1 Porte à émetteurs couplés

En analyse transitoire, la porte à émetteurs couplés peut être repré-

sentée par le schéma de la fig 59, soit

1° un circuit d'entrée du 1er ordre de constante de temps $\tau_b = R_{bb'} \cdot \overline{C_b}$

2° un aiguillage de courant dans l'intervalle de tension défini par $|V_{b'1} - V_{b'2}| < 2{,}2\ V_T$. Il s'établit alors un courant I_{c1} dans le collecteur

3° un circuit de sortie du 1er ordre de constante de temps $\tau_c = R_c \cdot \overline{C_s}$

En première approximation, nous pouvons évaluer les temps de commutation suivants

- $V_b \rightarrow V_{b'1}$ $\quad t_{pb} = K \cdot \tau_b \quad 0{,}7 \leqslant K \leqslant 1$

$$t_{mb} = t_{db} = \sqrt{2\pi \left(\frac{t_o^2}{12} + \tau_b^2\right)}$$

- $I_{c1} \rightarrow V_{c1}$ $\quad t_{pc} = K' \cdot \tau_c$

$$t_{mc} = t_{dc} = \sqrt{2\pi} \cdot \sqrt{\frac{1}{12}\left(t_{mb} \cdot \frac{4{,}4\ V_T}{V_b^1 - V_b^o}\right)^2 + \tau_c^2}$$

En général

$$\frac{4{,}4\ V_T}{V_b^1 - V_b^o} \cdot t_{mb} \ll \tau_c \ , \quad K' = 0{,}7$$

$$\boxed{\begin{aligned} t_p &= K \cdot \tau_b + 0{,}7\ \tau_c \\ t_m &= t_d = 2{,}2\ \tau_c \end{aligned}} \qquad 0{,}7 \leqslant K\ \left(\frac{t_o}{\tau_b}\right) \leqslant 1$$

La porte à émetteurs couplés se comporte comme l'association :

- d'un quadripole passif de retard $K\left(\frac{t_o}{\tau_b}\right) \cdot \tau_b$
- d'un circuit du premier ordre de constante de temps τ_c

2.2 Bloc à aiguillage de courant

Par rapport à la porte à émetteurs couplés, le bloc à aiguillage de courant comporte un ou deux étages supplémentaires.

La propagation du signal logique à travers les différentiels en cascade fait intervenir des constantes de temps fonction :

- des caractéristiques des jonctions émetteur-base d'un transistor (résistance dynamique ; capacité de jonction, de diffusion)
- de la capacité collecteur -substrat de chaque caisson.

Ces constantes de temps sont difficilement exprimables ; elles ne peuvent

être évaluées qu'à l'aide d'un programme de simulation de circuits électriques par calculateur.

Du point de vue dynamique, un bloc à aiguillage de courant attaqué par une rampe de tension de durée t_o, sur le second et le troisième étage se comporte comme l'association

- d'un quadripôle passif de retard K $(\frac{t_o}{\tau_b})$. τ_b
- d'un second quadripôle dont les caractéristiques (atténuation, retard) ne peuvent être déterminées qu'au moyen du calculateur
- d'un circuit du premier ordre de constante de temps τ_c.

2.3 Circuits de décalage

1° Circuit d'entrée

Le gain d'un étage à collecteur commun étant proche de l'unité, la capacité non-linéaire d'entrée s'exprime par

$$C_b = C_{bc}$$

La constante de temps $R_{bb'} \cdot C_{bc}$ est faible par rapport aux autres constantes de temps des opérateurs, aussi nous négligeons l'influence du circuit d'entrée sur les caractéristiques dynamiques des circuits de décalage.

2° Circuit de sortie

Il faut distinguer

- les transitions positives ($V_b^o \rightarrow V_b^1$) pendant lesquelles le transistor monté en collecteur commun conduit,
- les transitions négatives ($V_b^1 \rightarrow V_b^o$) pendant lesquelles le transistor est bloqué.

a) Transition positive (fig 60)

La cellule de décalage se comporte comme un circuit du 1er ordre de constante de temps

$$\tau_1 = \overline{R_s} \cdot \overline{C_s}$$

b) Transition négative

Pendant cette transition, le transistor monté en collecteur commun est bloqué. Si le front d'attaque est rapide, la tension de sortie V_e tend à suivre une loi exponentielle entre V_e^1 et V_a, de constante de temps $\tau_2 = \overline{R'_s} \cdot \overline{C_s}$. L'impédance de sortie moyenne $\overline{R'_s}$ est celle d'un circuit de décalage dont le transistor serait bloqué.

$$V_e(t) = V_e^1 + (V_a - V_e^1)\left[1 - \exp - (\frac{t}{\tau_2})\right]$$

Cette loi n'est valable que dans l'intervalle défini par $V_e^o \leqslant V_e \leqslant V_e^1$.

En première approximation, les temps de commutation s'expriment par :

$$t_{p2} = \tau_2 \cdot \ln \left[\frac{V_a - V_e^1}{V_a - \frac{V_e^1 + V_e^o}{2}} \right]$$

$$t_d = \tau_2 \cdot \ln \left[\frac{V_a - 0,9\ V_e^1 - 0,1\ V_e^o}{V_a - 0,1\ V_e^1 - 0,9\ V_e^o} \right]$$

En fonctionnement normal, on vérifie les relations

$V_e = V_b + V_o$

$V_b^1 = 0$

Ceci entraîne :

$$t_{p2} = \tau_2 \cdot \ln \left[\frac{V_a - V_o}{V_a - V_o - \frac{V_b^o}{2}} \right]$$

$$t_d = \tau_2 \cdot \ln \left[\frac{V_a - V_o - 0,1\ V_b^o}{V_a - V_o - 0,9\ V_b^o} \right]$$

c) Expression des temps de commutation

Celles-ci sont fonction du montage adopté pour les circuits de décalage.

- 1° Emetteur suiveur à résistance R_e (fig 7 a)

$$\overline{R_s} \simeq \frac{V_T}{I_o} \qquad \tau_1 = \frac{V_T}{I_o} \cdot \overline{C_s}$$

$$\overline{R'_s} = R_e \qquad \tau_2 = R_e \cdot \overline{C_s}$$

$$t_{p1} = 0,7 \cdot \frac{V_T}{I_o} \cdot \overline{C_s}$$

$$t_m = 2,2 \cdot \frac{V_T}{I_o} \cdot \overline{C_s}$$

$$t_{p2} = R_e \cdot \overline{C_s} \cdot \ln \left[1 + \frac{0,5\ V_b^o}{V_a - V_o - 0,5\ V_b^o} \right]$$

$$t_d = R_e \cdot \overline{C_s} \cdot \ln \left[1 + \frac{0,8\ V_b^o}{V_a - V_o - 0,9\ V_b^o} \right]$$

- 2° Emetteur suiveur à générateur de courant I_o (fig 7-b)

. Transitions positives. $\tau_1 = \frac{V_T}{I_o} \cdot \overline{C_s}$

. Transitions négatives. On trouve l'expression des temps de commutation en faisant tendre R_e vers l'infini.

$$t_{p2} = \frac{0,5 \cdot V_b^o}{I_o} \cdot \overline{C_s}$$

$$t_d = \frac{0,8 \cdot V_b^o}{I_o} \cdot \overline{C_s}$$

Dans le cas fréquent où un circuit de décalage est attaqué par un opérateur parcouru par le même courant I_o, nous trouvons les expressions simples

$t_{p2} = 0,5 \cdot R_c \cdot \overline{C_s}$
$t_d = 0,8 \cdot R_c \cdot \overline{C_s}$

R_c : résistance collecteur de l'opérateur qui attaque l'émetteur suiveur à générateur de courant.

- 3° Circuit de décalage comprenant une diode ou une résistance $R_{déc}$ (Fig 7 c-d)

Ces circuits attaquent des blocs à aiguillage de courant de 3 étages. Soit $\overline{C_{s1}}$ la charge sur le 2ème étage et $\overline{C_{s2}}$ la charge sur le 3ème étage.

Les temps de propagation s'expriment par :

$$t_{p1} = 0,7 \left[\frac{V_T}{I_o} \cdot \overline{C_{s1}} + R^* \cdot \overline{C_{s2}} \right]$$

$$t_{p2} = 0,5\ R_c \cdot C_{s1} + 0,7\ R^* \cdot \overline{C_{s2}}$$

avec $R^* = \frac{V_T}{I_o}$ (décalage par diode)

$R^* = R_{déc}$ (décalage par résistance)

ANNEXE 3

ANALYSE DES DISPERSIONS SUR LES NIVEAUX LOGIQUES

D'une manière générale, un niveau logique est fonction des paramètres suivants :

- β_1, β_2 ... gain en courant des transistors T_1, T_2 ...
- rapport de résistances
- V_1, V_2 ... tension émetteur-base pour un courant de 4 mA
- $V_1 - V_o$, $V_2 - V_o$ ... écart entre les tensions émetteur base de deux diodes
- ΔV_1, ΔV_2 ... décalage des tensions d'alimentation dû aux chutes de tension dans l'aluminium

Pour le calcul des dispersions dues à un paramètre, nous supposerons tous les autres ayant une valeur nominale définie par :

- β infini
- rapport de résistances nominal
- $V_1 = V_2 = \ldots = V_o$
- $V_1 - V_o = V_2 - V_o = \ldots = 0$
- $\Delta V_1 = \Delta V_2 = \ldots = 0$

Nous supposerons tous les transistors de la matrice ayant des β identiques et suivant la même loi en températures.

Dans les associations entre opérateurs on supposera que tous les transistors conduisent avec le même courant, tous les courants base des transistors seront par conséquent égaux.

A l'exception des circuits de décalage de sortie, tous les transistors de la matrice conduisent avec un courant proche de 4 mA. En vue de simplifier les calculs, on prendra, pour tout courant compris entre 3,6 mA et 4,4 mA, une tension émetteur base correspondant à un courant de 4 mA.

1. Caractéristiques des éléments

Nous rappelons les limites de la température de jonction :

$$25°C < T_j < 165°C$$

Nous pouvons dresser le tableau suivant :

		T_j = 25°C	T_j = 165°C
Tension émetteur base d'un transistor pour I_o = 4 mA		V_o = 830 mV ± 10 mV	V_o = 650 mV ± 10 mV
Ecart des tensions émetteur base entre deux diodes de la même matrice		δV_o = 5 mV	δV_o = 5 mV
Courant nominal dans les opérateurs de base	V_a = - 2 V	I_o = 4 mA	I_o = 4,5 mA
	V_a = - 3,2 V	I_o = 4,1 mA	I_o = 4,4 mA
Gain en courant β		$60 < \beta < 100$	$90 < \beta < 130$
Résistance carré des diffusions de type p		$R_\square$ = 50 Ω / □	$R_\square$ = 59 Ω / □

2. Conditions d'utilisation des cellules de base

- nombre d'opérateurs de base affectés à un bloc de polarisation
  - . opérateur de type porte : $1 \leqslant m \leqslant 4$
  - . opérateurs de type IE-I utilisés en bascule maître esclave : m = 2, m = 4
  - . opérateurs de type III-I : m = 6
- sortance des "portes" et "blocs à aiguillage de courant" : $p + q \leqslant 7$
  - . circuits de décalage : $q \leqslant 2$
  - . autres opérateurs : $p \leqslant 5$
- sortance des circuits de décalage : $\leqslant 10$

3. Calcul des dispersions par rapport au gain en courant β

Nous faisons les hypothèses suivantes :

- les transistors ont des β identiques

- le gain en courant est suffisamment grand pour vérifier :

$\frac{p}{\beta} \ll 1$, $\frac{q}{\beta} \ll 1$, $\frac{m}{\beta} \ll 1$, $\frac{n}{\beta} \ll 1$ (n, nombre d'étages d'un opérateur)

a) Expression de I_o (fig 61)

$$I_o = \frac{|V_a - V_o|}{R_a + R_b + R_d} \left[1 - \frac{1}{\beta} \cdot \frac{(R_a + R_b)\, m + R_a \cdot m'}{R_a + R_b + R_d} \right]$$

b) Expression des niveaux logiques

$$V_p = \frac{R_a}{R_a + R_b + R_d} \cdot (V_a - V_o) \cdot \left[1 + \frac{1}{\beta} \left(\frac{R_d}{R_a + R_b + R_d} \cdot m + \frac{R_b + R_d}{R_a + R_b + R_d} \cdot m' \right) \right]$$

$$V'_c = -\frac{R_c\, I_o}{\beta} (p + q)$$

$$V_c^o = \frac{R_c}{R_e} \cdot \frac{R_d}{R_a + R_b + R_d} \cdot (V_a - V_o) \cdot \left[1 - \frac{1}{\beta} \left(\frac{R_a + R_b}{R_a + R_b + R_d} \cdot m' + \frac{R_a}{R_a + R_b + R_d} \cdot m + n - q \right) \right]$$

$$V_{déc} = \frac{R_{déc}}{R_e} \cdot \frac{R_d}{R_a + R_b + R_d} \cdot (V_a - V_o) \cdot \left[1 - \frac{3{,}2 \pm 1}{\beta} \right]$$

L'expression de $V_{déc}$ est valable pour un ensemble de 2 opérateurs de type III-I connectés au même bloc de polarisation.

c) Résultats

Nous rappelons les résultats des études effectuées en [16].

- accroissement de la tension de référence $|V_p|$ de 1 % à 8 % (dispersion importante sur les opérateurs de type I-I et III-I)
- niveau haut de sortie $0 \leqslant |V_c^1| \leqslant 35$ mV
- diminution de $|V_c^o|$ pouvant atteindre 14 % sur les cellules de type III-I
- d'une manière générale, diminution du courant de référence due aux courants de base.

Deux solutions peuvent être préconisées pour réduire la dispersion causée par le gain en courant.

1° Réduction de la complexité des opérateurs ou utilisation de circuits montés en collecteur à la masse, de faible impédance de sortie.

Cette solution ne convient pas à l'intégration de blocs à aiguillage de courant alimentés sous tension réduite.

2° Accroissement du gain en courant ($\beta > 120$ par exemple).

4. Calcul des dispersions par rapport à V_o

La valeur absolue intervient dans l'expression du courant de référence I_r.

$$\frac{\Delta I_r}{I_r} = \frac{\Delta V_o}{|V_a - V_d|}$$

Cette dispersion ne dépasse pas 0,5 %.

L'écart entre les tensions V_1 et V_2 de deux transistors de même courant dans la jonction émetteur base provoque des dispersions plus importantes.

1° Réduction de l'immunité au bruit sur les étages attaqués par des circuits de décalage, de $2\ \delta V_o = 10$ mV.

2° Courants dans les opérateurs différents des valeurs nominales.

Par hypothèse nous avons : $|V_1 - V_o| \leqslant \delta V_o$

$$|V_2 - V_o| \leqslant \delta V_o$$

On peut démontrer que :

$$\frac{\Delta V_c^o}{V_c^o} = \frac{R_c}{R_e} \cdot 2\delta V_o = \begin{cases} 20 \text{ mV pour l'interface de sortie} \\ 10 \text{ mV pour les autres opérateurs} \end{cases}$$

$$\frac{\Delta V_{déc}}{V_{déc}} = \frac{R_{déc}}{R_e} \cdot 2\delta V_o = 7{,}5 \text{ mV}$$

La valeur de R_e doit être choisie suffisamment grande si on veut une bonne précision sur les niveaux logiques. Cependant, cette solution ne peut être adoptée que dans les montages alimentés sous une tension élevée.

5. Calcul de la dispersion due à la précision sur le rapport des résistances

L'expression de la valeur d'une résistance diffusée est la suivante :

$$R = R_\square \cdot \frac{L}{l} + 2R_{cc}$$

avec R_{cc}, résistance de contact.

La meilleure précision sur le rapport de deux résistances est obtenue lorsque ces deux résistances sont de même valeur et de géométries identiques. Dans ce cas, on trouve que le rapport est défini à $\pm$ 1 %.

Nous adoptons, pour nos circuits les options suivantes (fig 62).

a) largeur identique (20 µ) pour toutes les résistances de grande précision

b) même forme de contact pour toutes les résistances

c) même géométrie pour des résistances de valeurs égales

d) réalisation des résistances de valeur différente par association série et parallèle de résistances de valeurs égales ou sinon très voisines.

La résistance de base R_o a une valeur de 100 Ω, soit L = 40 µ, l = 20 µ, $R_{cc} = 0$.

Pour deux résistances de valeurs égales ou voisines, le rapport est défini à $\pm$ 1 % en fonction de $R_\square$, L, l.

La résistance de contact intervient de manière plus complexe ; ainsi R_{cc} intervient dans le rapport de deux résistances de valeurs différentes R_1 et R_o. $\frac{R_1}{R_o}$ devient $\frac{R_1 + 2R_{cc}}{R_o + 2R_{cc}}$, soit :

$$\frac{\Delta R_1/R_o}{R_1/R_o} \simeq \frac{2R_{cc}}{R_o} \cdot \frac{R_o - R_1}{R_1}$$

La résistance de contact R_{cc} varie d'une plaque à l'autre de 0 à 5 Ω par contact soit :

$$0 < 2R_{cc} < 10\ \Omega$$

L'imprécision est de 1 % pour $R_1 = 90\ \Omega$ et de 4 % pour $R_1 = 70\ \Omega$

Précision attendue

Nous n'utilisons que 3 valeurs de résistances de grande précision soit 100 Ω, 90 Ω et 70 Ω. Les configurations de la figure 62 donnent les résultats suivants :

- $\frac{\Delta R_c/R_e}{R_c/R_e} = \pm 1\ \%$

- pour les rapports définissant la tension de référence V_p

$$\frac{\Delta R_a/R_a + R_b + R_d}{R_a/R_a + R_b + R_d} = \begin{cases} \pm 3{,}5\ \% \text{ pour les interfaces de sortie} \\ \pm 2{,}5\ \% \text{ pour les autres opérateurs} \end{cases}$$

- pour les rapports définissant la tension de référence V_g

$$\frac{\Delta R_d/R_a + R_b + R_d}{R_d/R_a + R_b + R_d} = \pm 1{,}5\ \%$$

6. Calcul de la dispersion due aux chutes de tension dans les lignes d'alimentation

Le long d'une ligne d'alimentation, la chute de tension croît quand on s'éloigne du plot de thermocompression. Elle est maximale au milieu d'une rangée (voir fig 42) et sa répartition tend à être parabolique en fonction de la distance.

La chute de tension maximale est déterminée par :

- le courant total consommé sur une rangée
- la largeur des bandes d'alimentation

Aussi il a fallu trouver un compromis entre la chute de tension maximale qu'on peut tolérer au niveau de chaque porte, et les dimensions maximales d'une cellule.

Pour une chute de tension inférieure à 20 mV sur le niveau V_c^1, une largeur de 75 µ est nécessaire pour la ligne de masse.

Les chutes de tension interviennent sur les niveaux logiques de la manière suivante :

$0 \leqslant \Delta V_c^1 \leqslant + 20$ mV

$0 \leqslant \Delta V_{p1} \leqslant + 20$ mV

$- 15$ mV $\leqslant \Delta V_{déc} \leqslant + 15$ mV

$- 30$ mV $\leqslant \Delta V_c^o \leqslant + 10$ mV - interface de sortie

$0 \leqslant \Delta V_c^o \leqslant + 20$ mV - autres opérateurs

On peut noter que les niveaux V_p, V_c^1 et V_c^o ont tendance à se décaler vers les tensions négatives à l'exception du niveau bas de l'interface de sortie (ceci est dû au facteur $\frac{R_c}{R_e} = 2$). Dans le but de réduire les dispersions sur ces niveaux, nous avons attribué à la ligne de masse une grande largeur, au détriment de la bande d'alimentation négative.

7. Evaluation de l'immunité au bruit et de l'immunité à la saturation

Nous rappelons que l'immunité du bruit théorique est de l'ordre de 150 mV à $T_j = 20°C$.

Dans les conditions les plus défavorables, nous avons calculé l'immunité au bruit résultant de l'association de deux opérateurs quelconques de la matrice. Les résultats sont les suivants :

$I_B^o > 60$ mV
$I_B^1 > 60$ mV
} pour les opérateurs de la partie interne

$I_B^o > 200$ mV
$I_B^1 > 200$ mV
} pour les associations entre interface de sortie et interface d'entrée

Ces immunités de faible valeur sont cependant correctes si nous rappelons les conditions d'utilisation des ensembles logiques.

- saut logique de la partie interne de 400 mV
- saut logique externe de 800 mV
- variation de la température de jonction entre 20°C et 160°C
- sortance maximale des opérateurs élevée
- faible nombre de blocs de polarisation
- complexité de l'ensemble logique de l'ordre de 40 portes.

Nous pouvons également évaluer l'immunité à la saturation à haute température (pour les opérateurs de la partie interne de faible immunité), soit

$$I_s > 60 \text{ mV}$$

8. Conclusions

Compte tenu de ces différentes études, les cellules de base ont été redéfinies ; les figures 43, 44 donnent les schémas électriques retenus.

Il faut remarquer principalement :

1° l'emploi généralisé de résistances de même valeur, soit $R_d = 100\ \Omega$, $R_e = 100\ \Omega$ et $R_c = 100\ \Omega$ ($R_c = 200\ \Omega$ pour l'interface de sortie)

2° les courants identiques pour tous les opérateurs soit 4 mA

3° la valeur de la résistance R_a différente de $\frac{R_c}{2}$, pour compenser les fortes valeurs de $|V_p|$ dues au gain en courant β

4° les opérateurs de type III-I (fig 44) qui utilisent des différentiels à entrées complémentaires.

BIBLIOGRAPHIE

[1] ROUSSEAU P.
Etude et réalisation d'une matrice d'éléments diffusés selon la technologie "Planar".
Application particulière : porte logique à émetteurs couplés.
Thèse d'ingénieur-docteur, 1967

[2] R.T.C.
Etude et démonstration de faisabilité d'une matrice de 32 portes (1 W - 1 ns).
Compte rendu final de la première partie, 1970

[3] JACOLIN, LE FAOU, PIMORT, VERAN
IMAG 2. Un programme de simulation de circuits électriques

[4] COQUELLE D.
Simulation sur calculateur des portes logiques 1 ns
Note LETI/ME n° 627 et n° 694

[5] ROUSSEAU P., COQUELLE D., VERHAEGHE M.
Etude et démonstration de faisabilité d'une matrice de 36 portes (1 W - 1 ns), 1971
Note LETI/ME n° 695 et n° 827

[6] VERHAEGHE M.
Etude d'ensembles logiques MSI ultra-rapides, 1971
Note LETI/ME n° 797

[7] VERGNIAULT M.
Circuits intégrés de grande complexité à interconnexion programmée, 1970
Note LETI/ME n° 675

[8] ROUSSEAU P.
Compte rendu de mission aux U.S.A., 1969
Note LETI/69-2014/ME-EI

[9] MOTOROLA
MOS Polycell LSI
Complex custom designed MOS integrated circuits, 1970

[10] DUFLOS Y., RETHORE P.
Deux techniques économiques de réalisation de circuits intégrés logiques bipolaires complexes.
Onde électrique, Mars 1972, 3, 52, 133

[11] RASHID A.
High speed LSI current mode logic arrays for LIMAC

[12] R.T.C.
Etude et démonstration de faisabilité d'une matrice de 32 portes (1 W - 1 ns)
Annexe technique n° 1. Circuits d'essai "MEMSI"
Annexe technique n° 2. Procédé de réalisation
Annexe technique n° 3. Mesure des circuits 36 portes

[13] ELMORE W.C.
Journal of Applied physics, Janvier 1948, 19, 5 567

[14] BERNARD J.P.
Introduction à l'étude des interconnexions sur circuits intégrés, 1970
Note LETI/ME n° 605

[15] ROUSSEAU P., COQUELLE D., DAMERON A.
Portes logiques PEC 3 ns.
Etude des oscillations, 1969
Note LETI/ME/EI n° 533

[16] VERHAEGHE M.
Etude statique d'une famille de portes ECL.
Utilisation dans la matrice 36 portes, 1 W - 1 ns, 1971

Manuscrit reçu le 12 octobre 1972

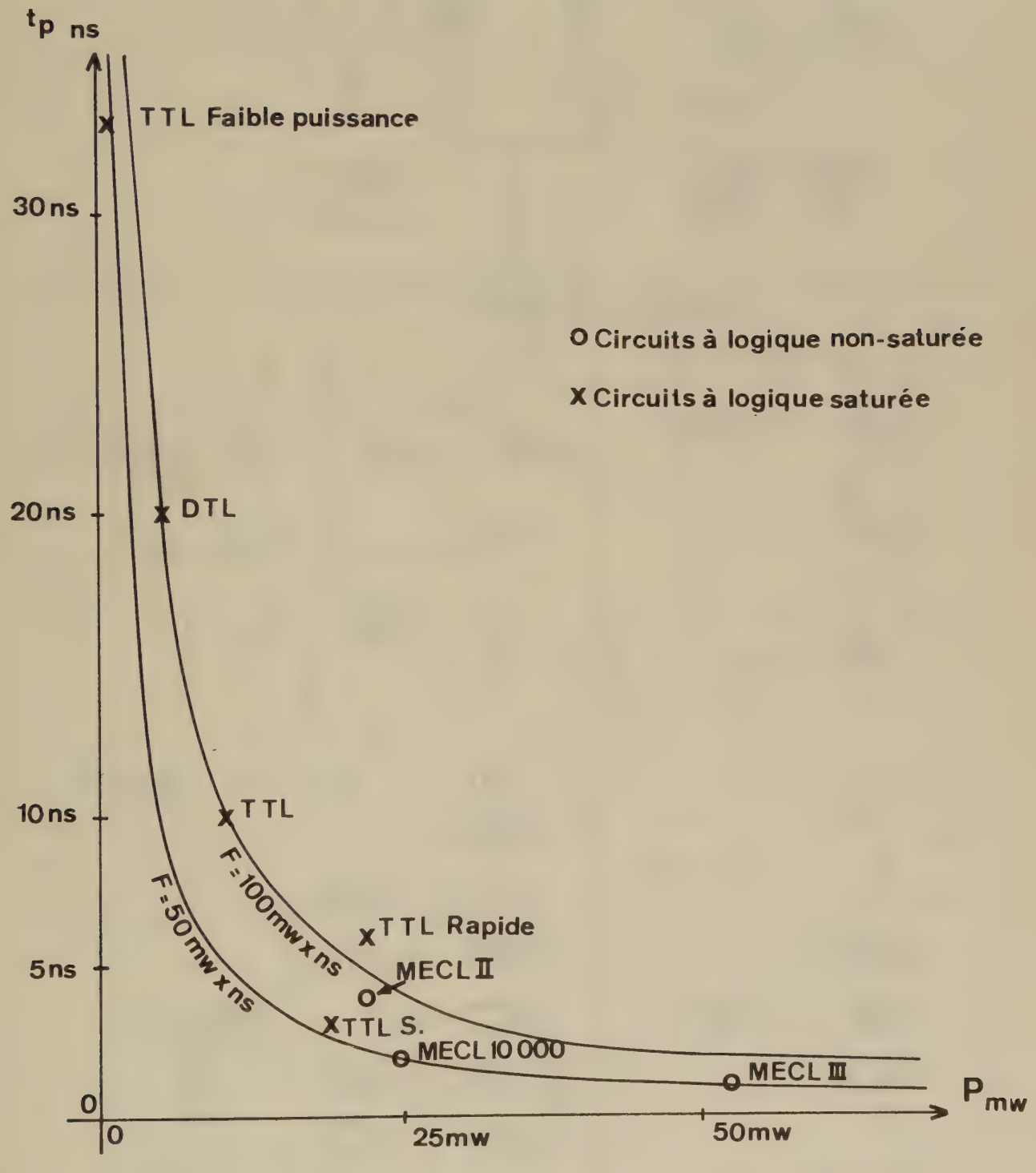

t_p ns
TTL Faible puissance
30ns
O Circuits à logique non-saturée
X Circuits à logique saturée
20ns
DTL
10ns
TTL
F=100mwxns
F=50mwxns
TTL Rapide
5ns
MECL II
TTL S.
MECL 10 000
MECL III
0
0
25mw
50mw
P_{mw}

FIG. 1

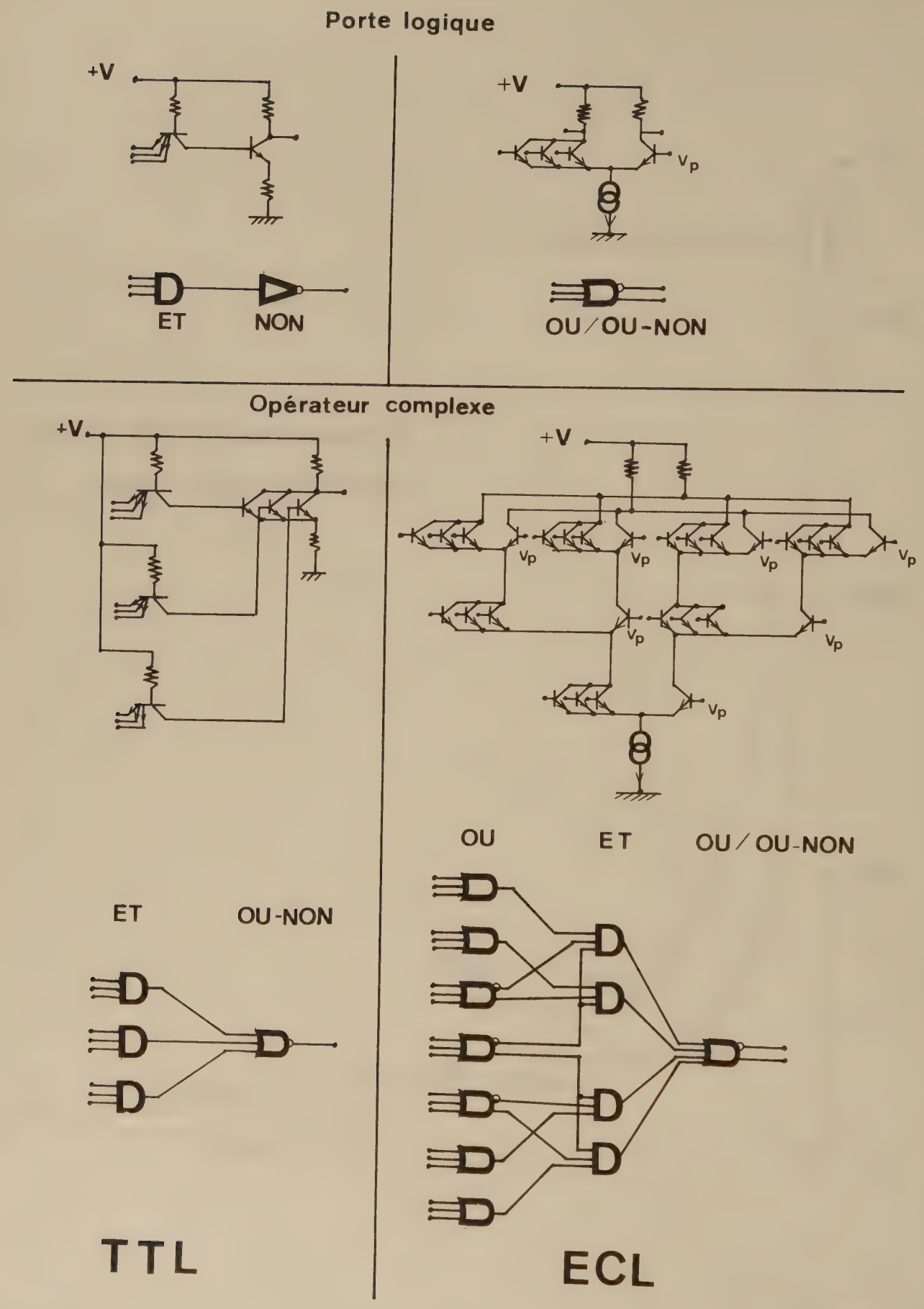

Porte logique
+V
ET
NON
+V
Vp
OU / OU-NON
Opérateur complexe
+V
ET
OU-NON
TTL
+V
Vp
OU
ET
OU / OU-NON
ECL

FIG. 2

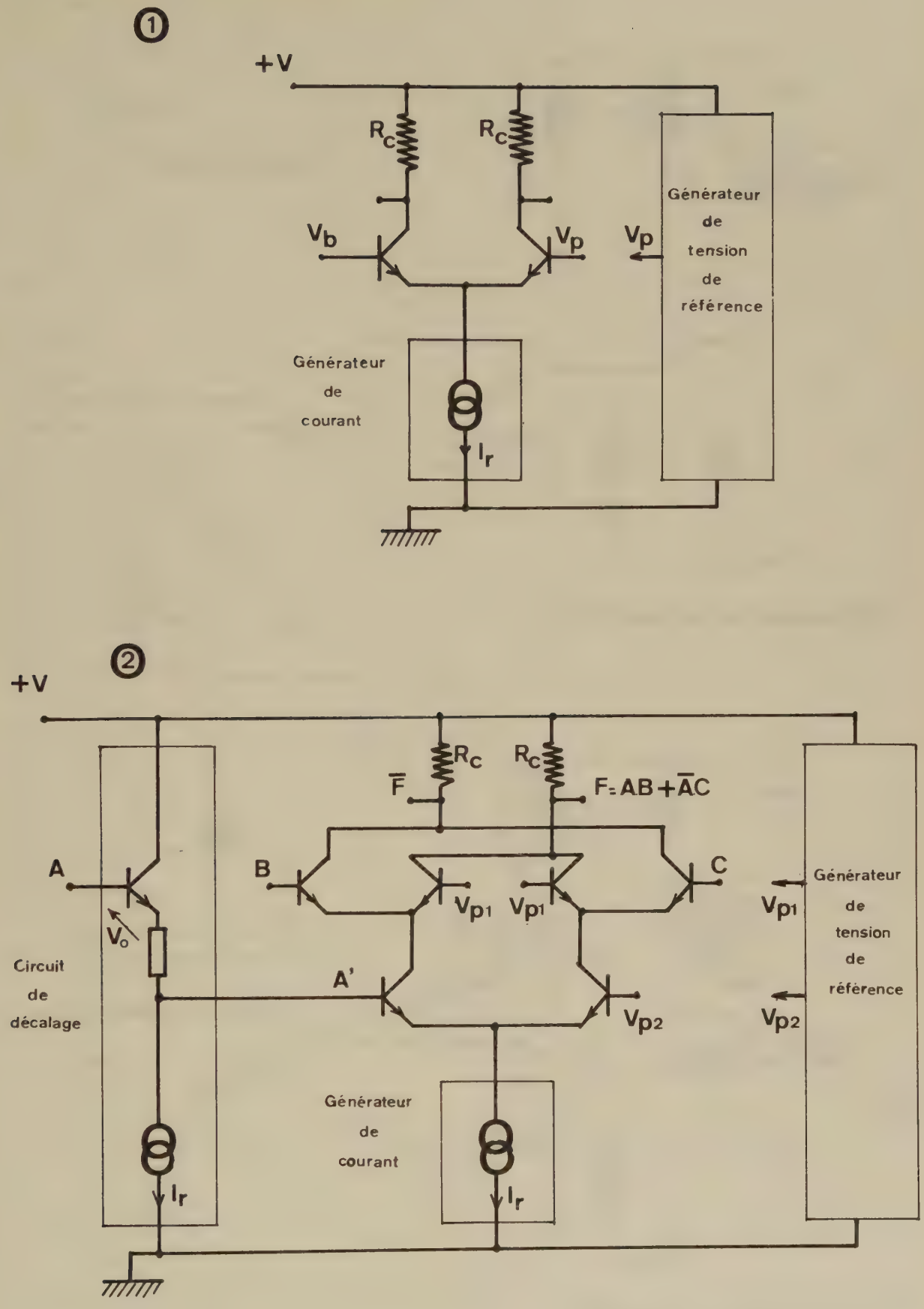

①
+V
Rc
Rc
Vb
Vp
Vp
Générateur de tension de référence
Générateur de courant
Ir
②
+V
Rc
Rc
F
F=AB+AC
A
B
C
Vp1
Vp1
Vp1
Vo
Circuit de décalage
A'
Vp2
Vp2
Générateur de tension de référence
Générateur de courant
Ir
Ir

FIG. 3

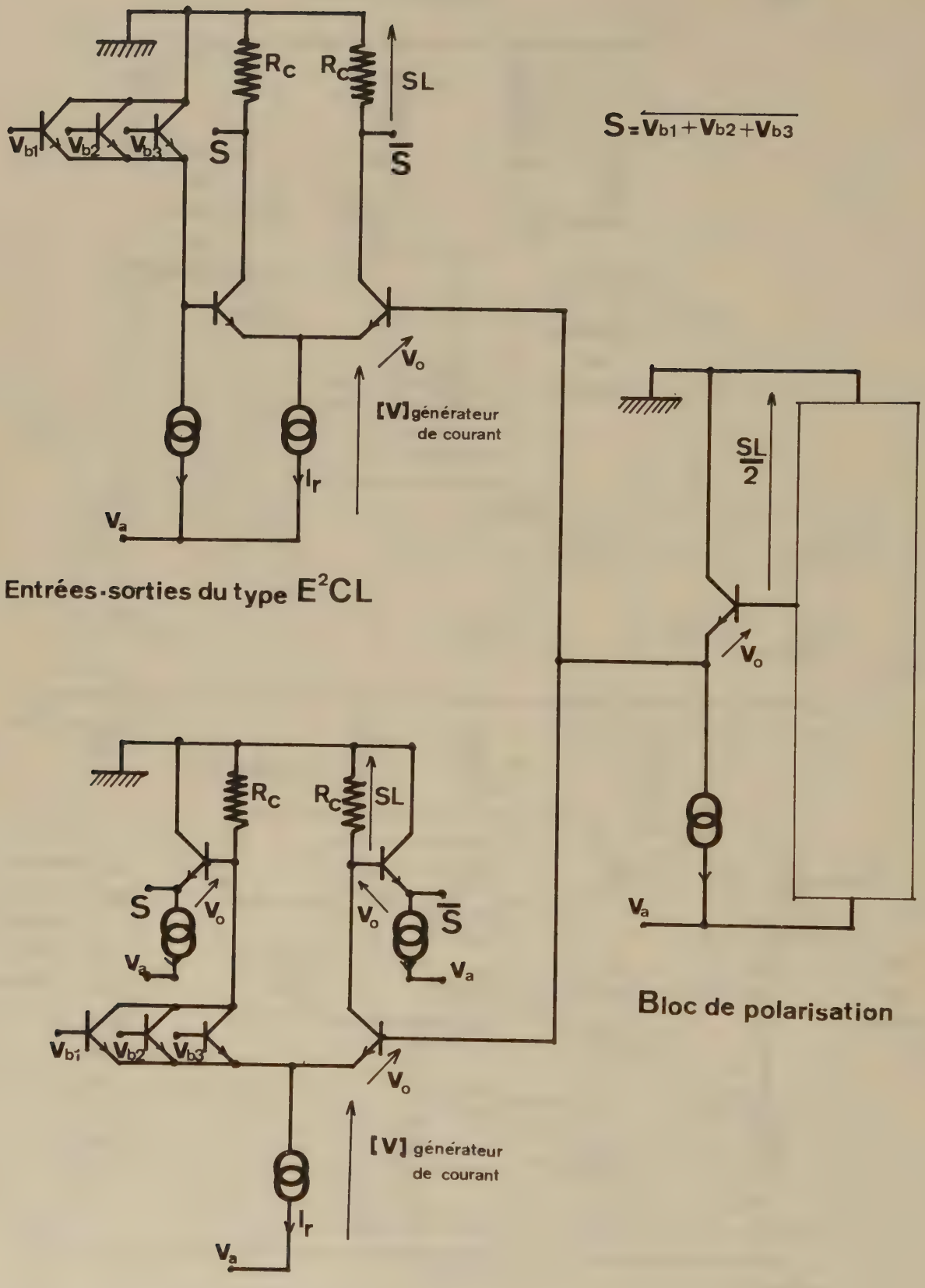

$S = \overline{V_{b1} + V_{b2} + V_{b3}}$
R_C
R_C
SL
V_{b1}
V_{b2}
V_{b3}
S
$\overline{S}$
V_o
[V] générateur de courant
I_r
V_a
Entrées-sorties du type E^2CL
$\frac{SL}{2}$
Bloc de polarisation
Entrées-sorties du type ECL

FIG. 4

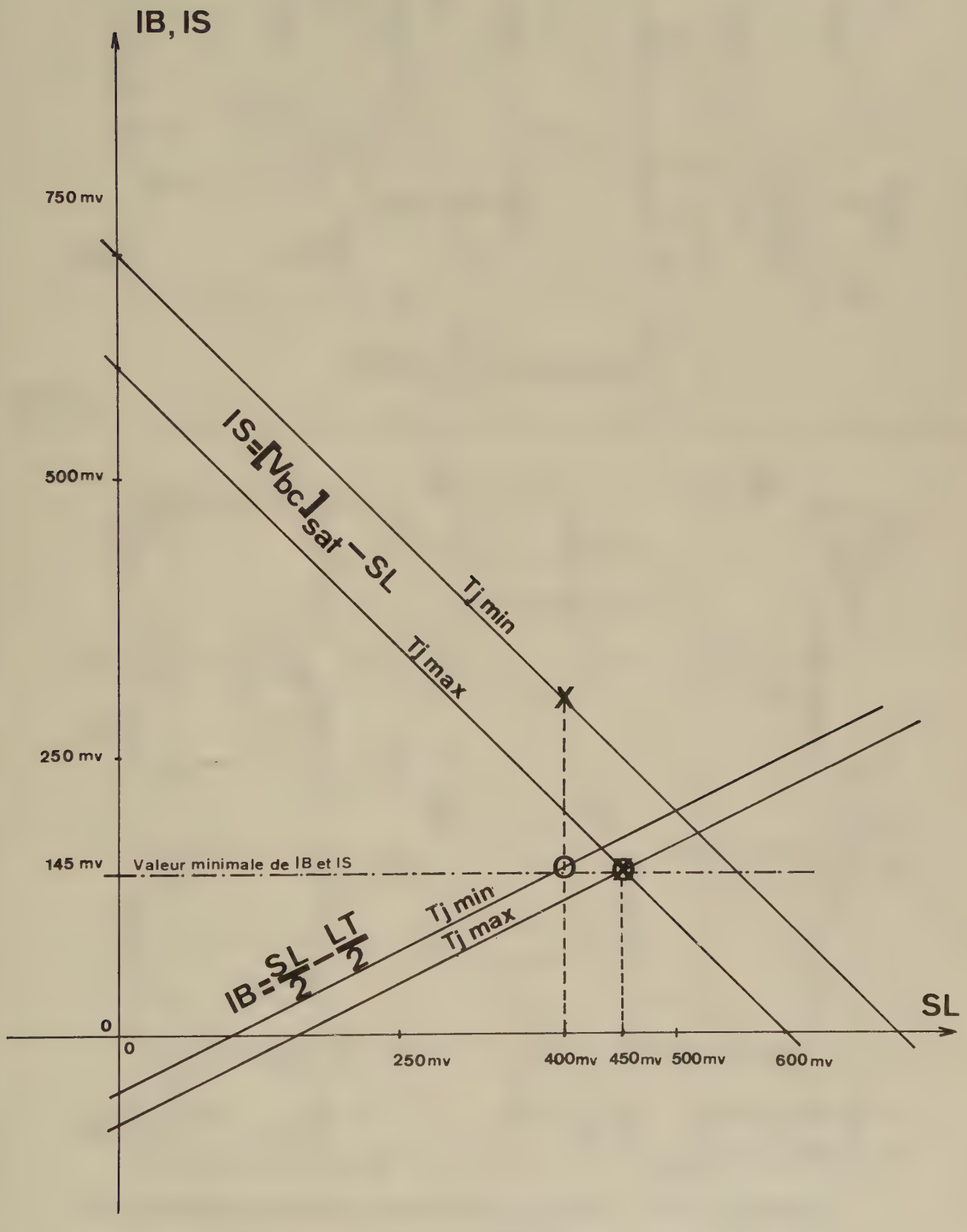
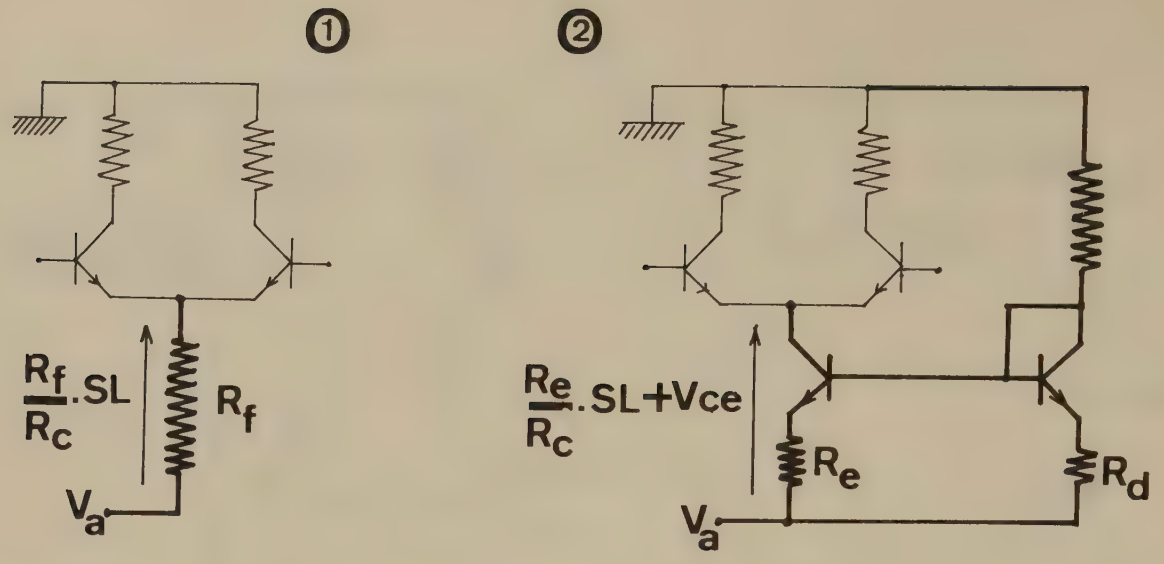
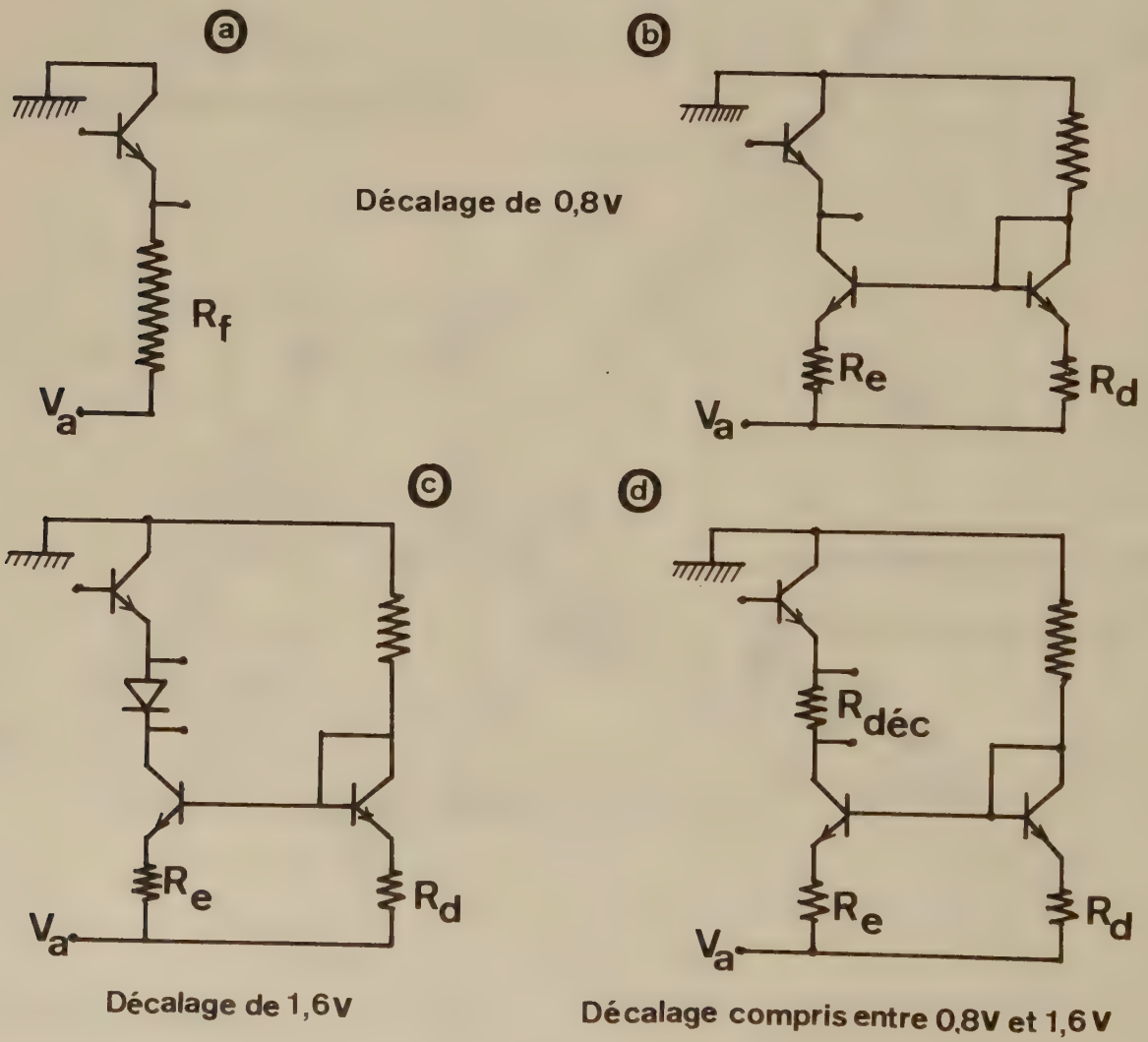

IB, IS
750 mv
500 mv
250 mv
145 mv
Valeur minimale de IB et IS
IS=[Vbc]sat − SL
Tj min
Tj max
IB=SL/2 − LT/2
Tj min
Tj max
0
0
250 mv
400mv
450mv
500mv
600 mv
SL

FIG.5



Générateurs de courant

FIG.6



Circuits de décalage

FIG. 7

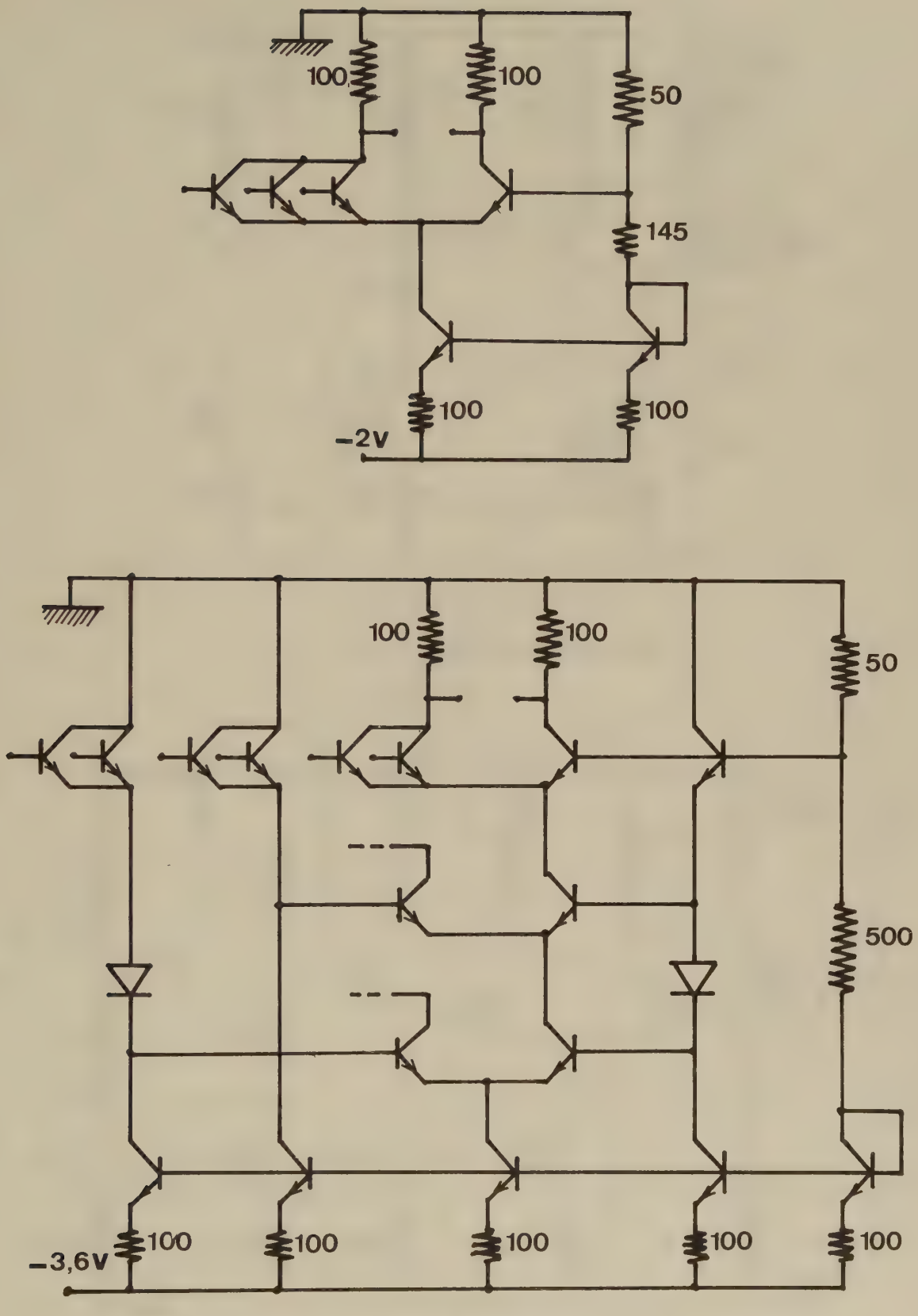
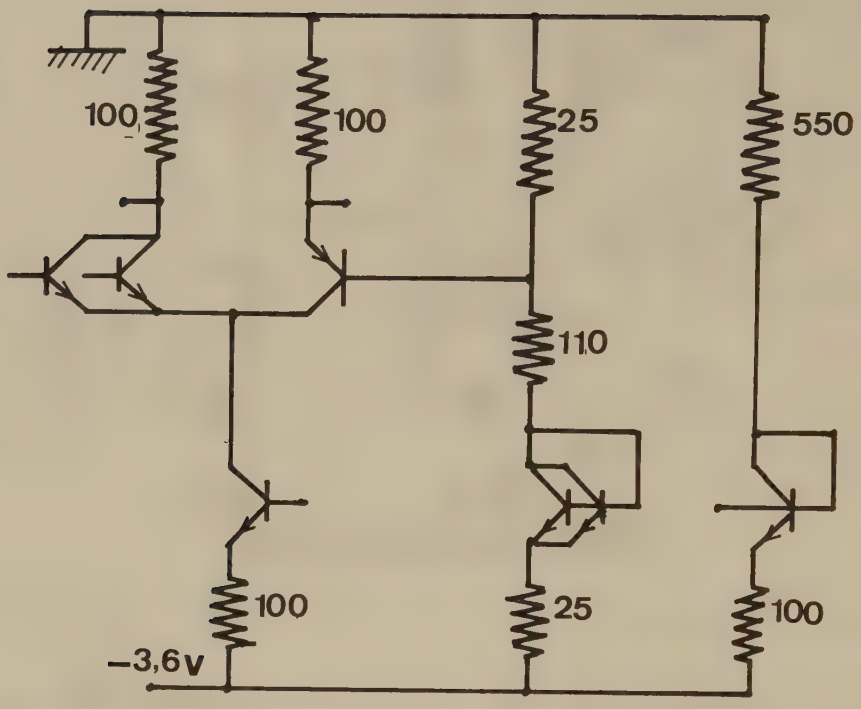
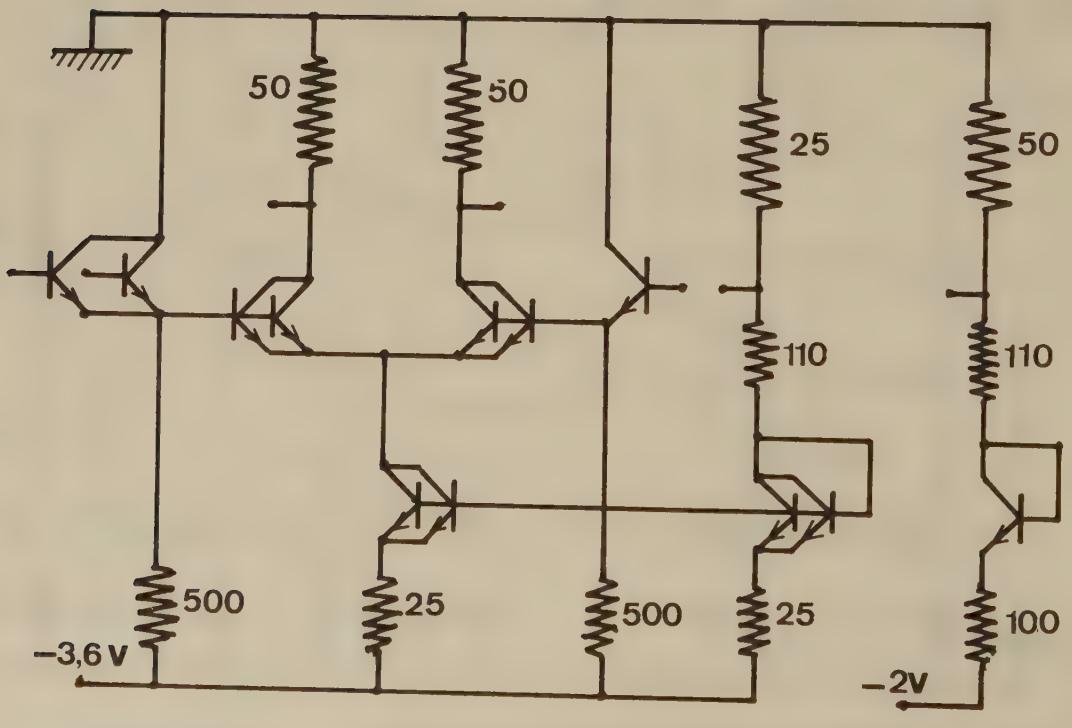

100
100
50
145
100
100
-2V
100
100
100
50
500
100
100
100
100
100
-3,6V
Circuits de décalage d'entrée
Bloc à aiguillage de courant
Bloc de polarisation

FIG.8

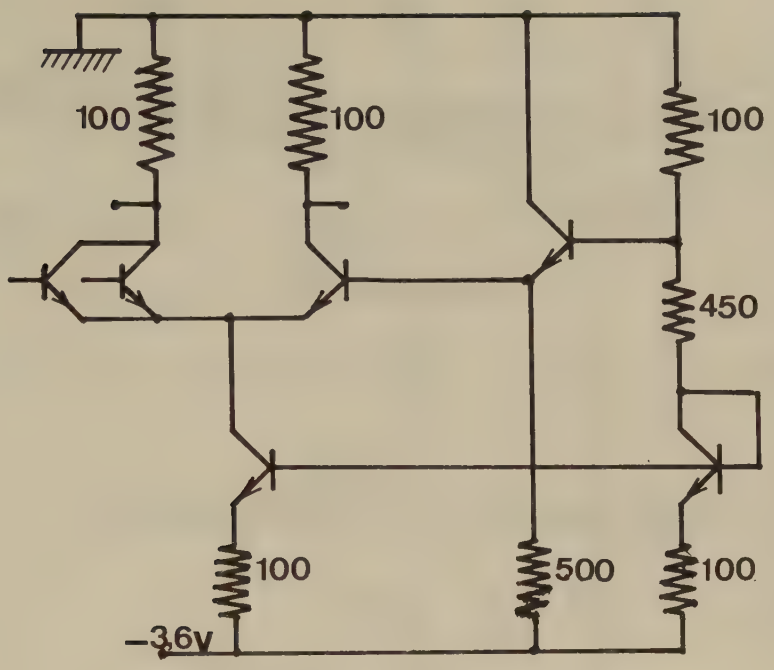


Interface d'entrée E^2CL

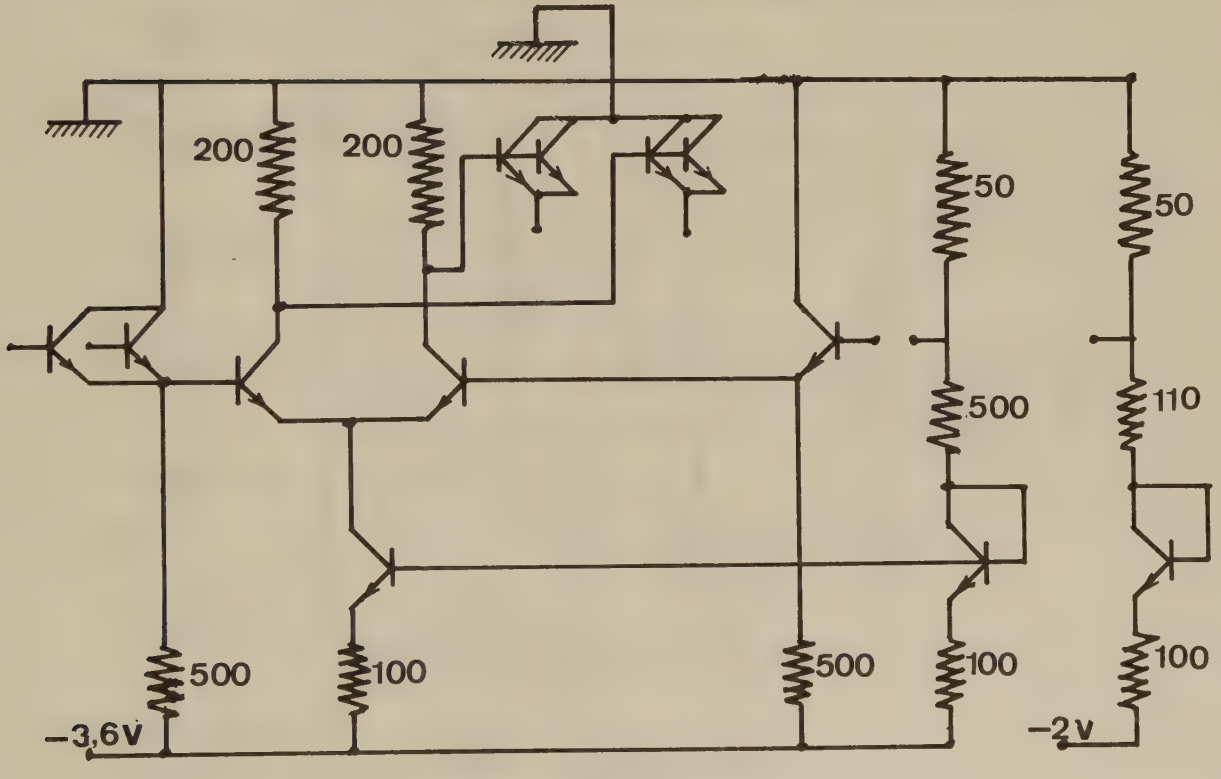


Interface de sortie E^2CL

FIG. 9

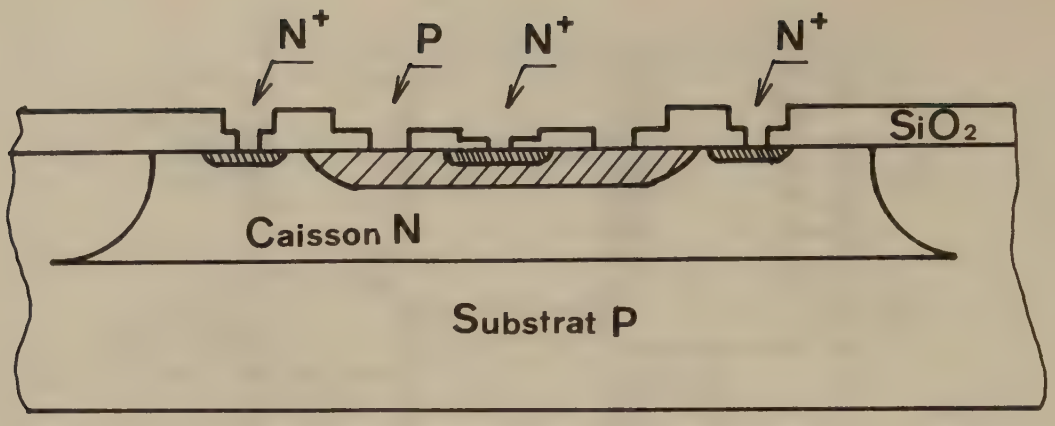


Interface d'entrée ECL

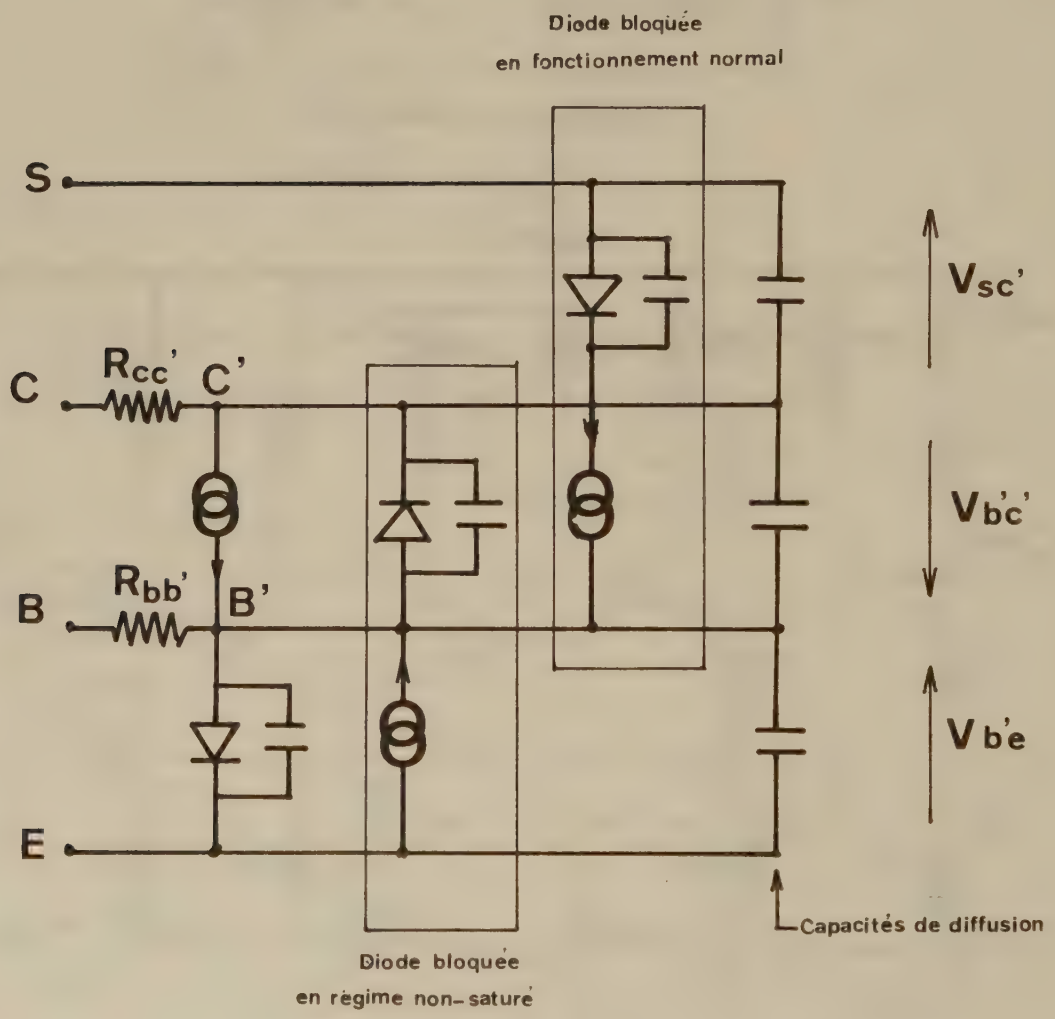


Interface de sortie ECL

FIG.10

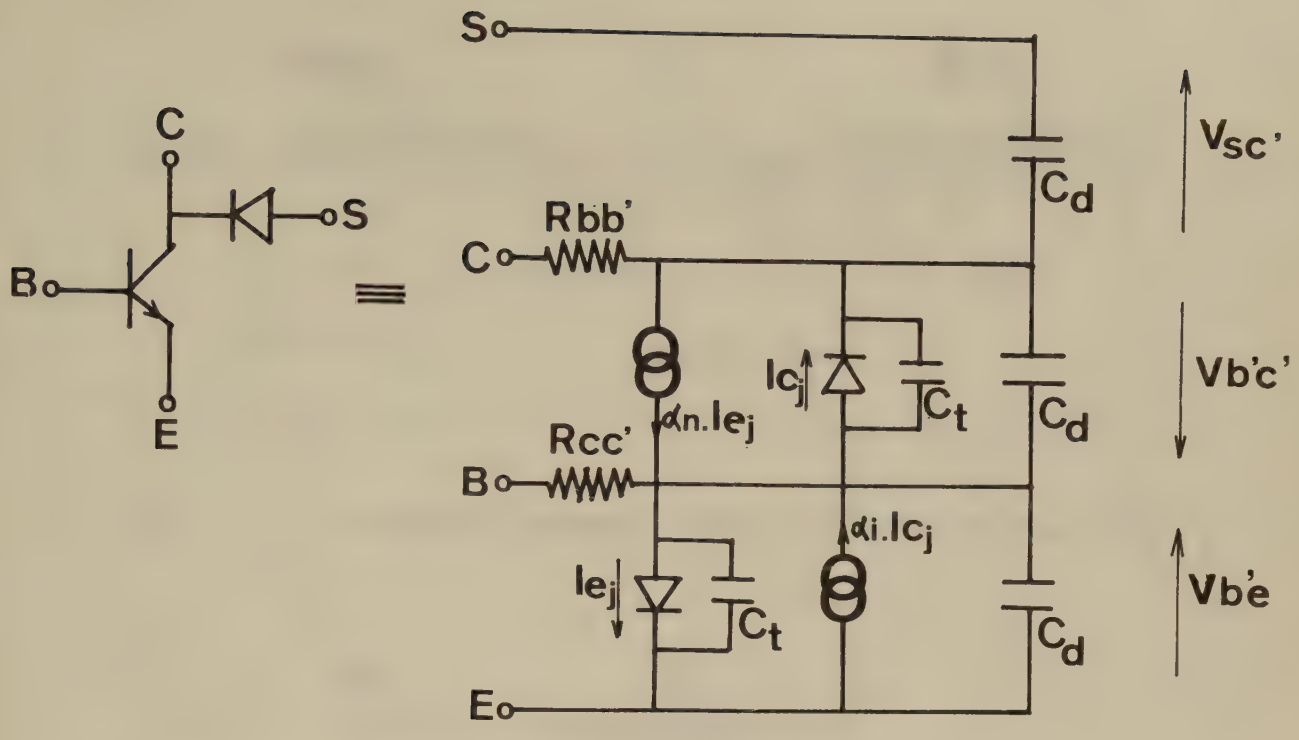


① Coupe simplifiée d'un transistor NPN



② Schéma équivalent d'un transistor NPN

FIG.11



$$Ie_j = Ie_o\left[\exp\frac{Vb'e}{n_e.v_T} - 1\right]$$

$$Ic_j = Ic_o\left[\exp\frac{Vb'c'}{n_c.v_T} - 1\right] = 0 \quad \text{en régime non-saturé}$$

$$C_t(b'e) = \frac{T_e}{n_e.v_T}\left[Ie_j + Ie_o\right]$$

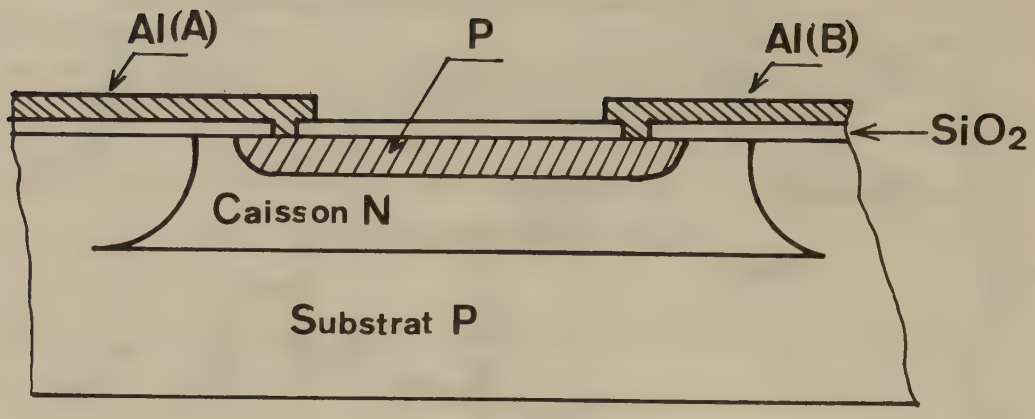
$$C_t(b'c') = \frac{T_c}{n_c.v_T}\left[Ic_j + Ic_o\right] = 0 \quad \text{en régime non-saturé}$$

$$C_d(b'e) = \frac{Cte_o}{\left[V_{\phi e} - V_{b'e}\right]^{k_e}}$$

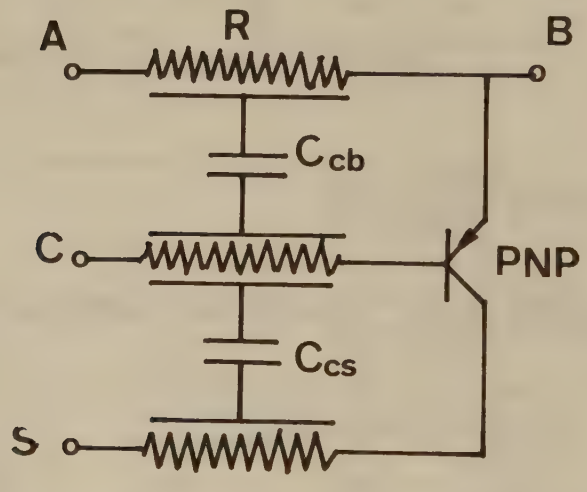
$$C_d(b'c') = \frac{Ctc_o}{\left[V_{\phi c} - V_{b'c'}\right]^{k_c}}$$

$$C_d(sc') = \frac{Cts_o}{\left[V_{\phi s} - V_{sc'}\right]^{k_s}}$$

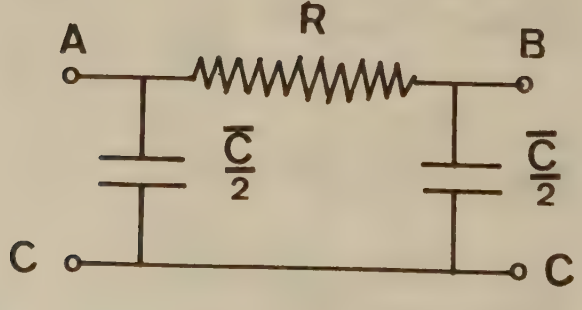
FIG.12



① Coupe simplifiée d une résistance diffusée

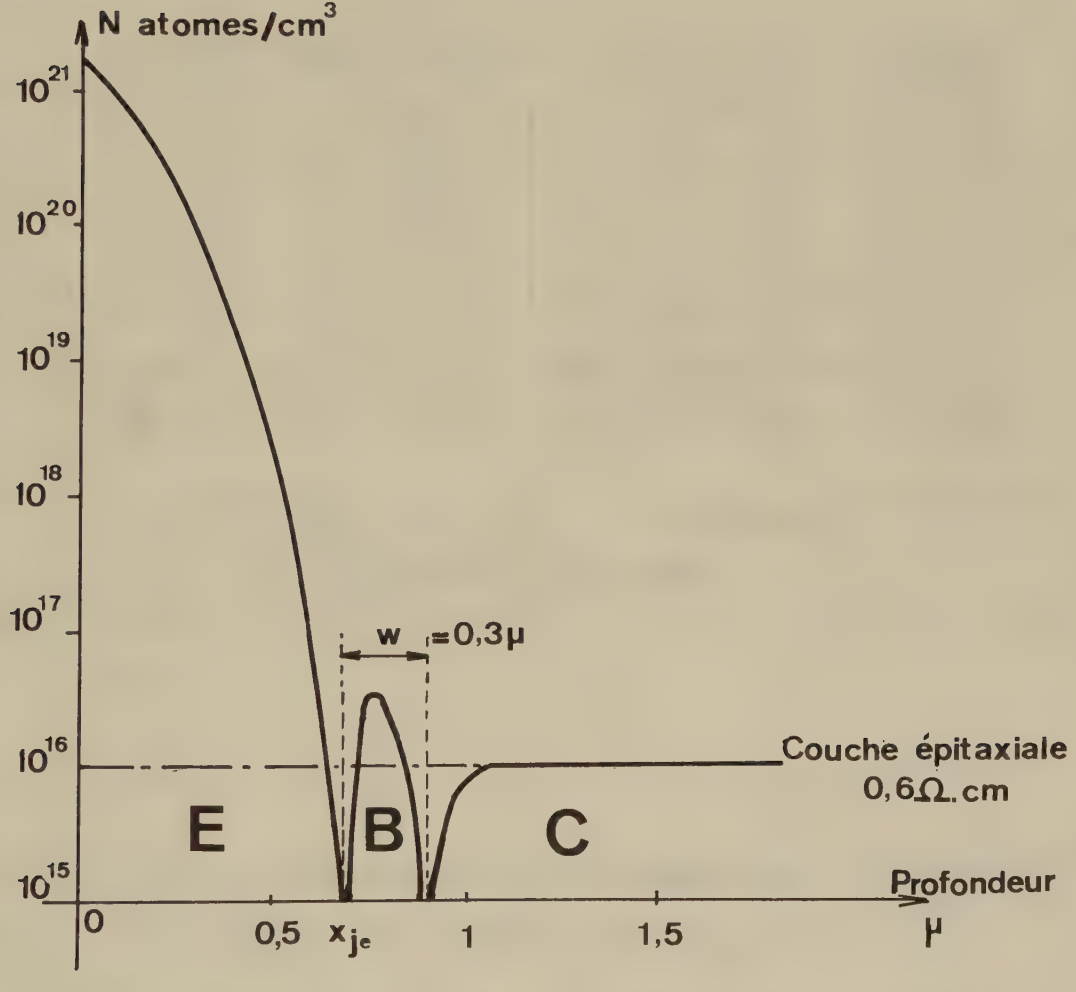


② Schéma équivalent d'une résistance diffusée



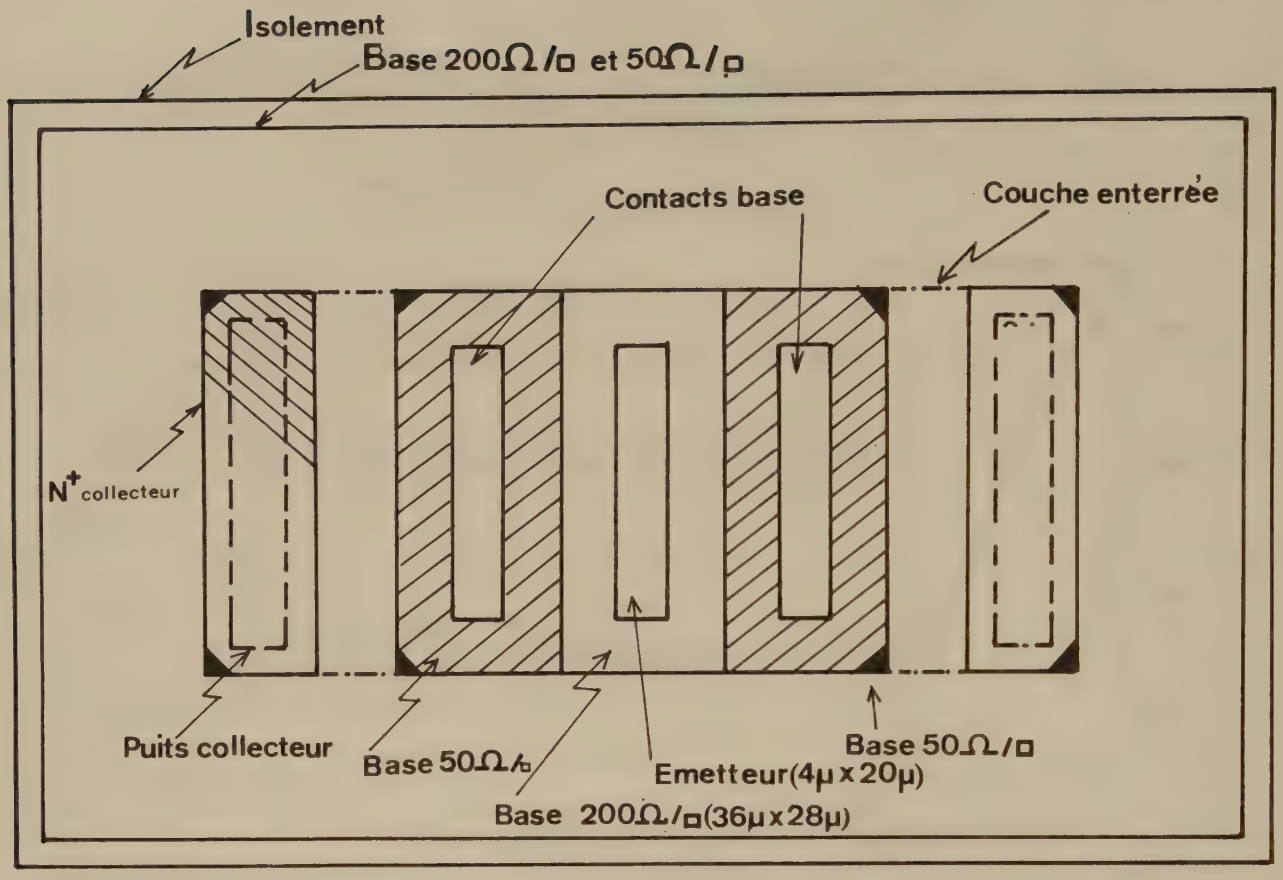
③ Schéma simplifié

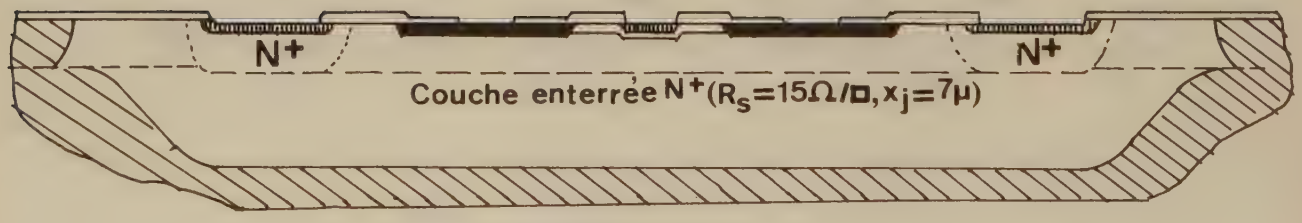
FIG. 13



Profil des transistors

FIG. 14





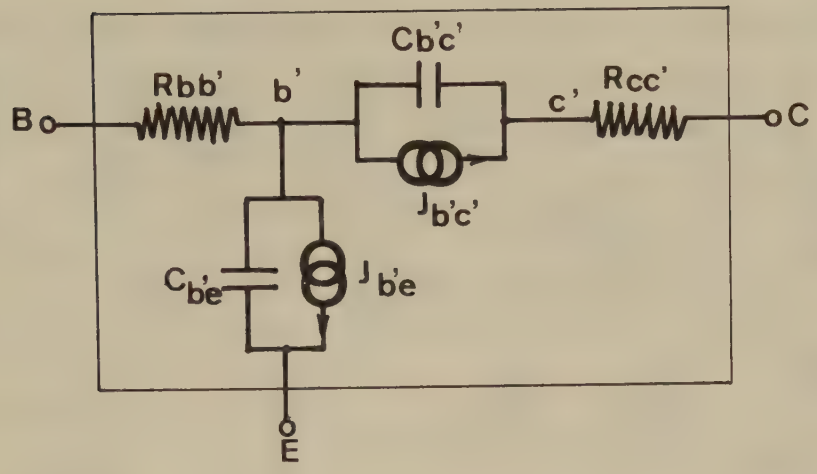
Epitaxie (P= 0,6Ω.cm)
(e = 3,3 μ)

$x_{je} = 0{,}65\,\mu$
$x_{jb/e} = 0{,}9\,\mu$
$x_{jb} = 0{,}65\,\mu$
$x_{j(R)} = 0{,}75\,\mu$

$R_{\square}$(résistance) = 50Ω/□

5μ
5μ

FIG.15



$J_{b'e} = I_{e_j} - \alpha_n . I_{c_j}$ $\qquad C_{b'e} = C_t(b'e) + C_d(b'e)$

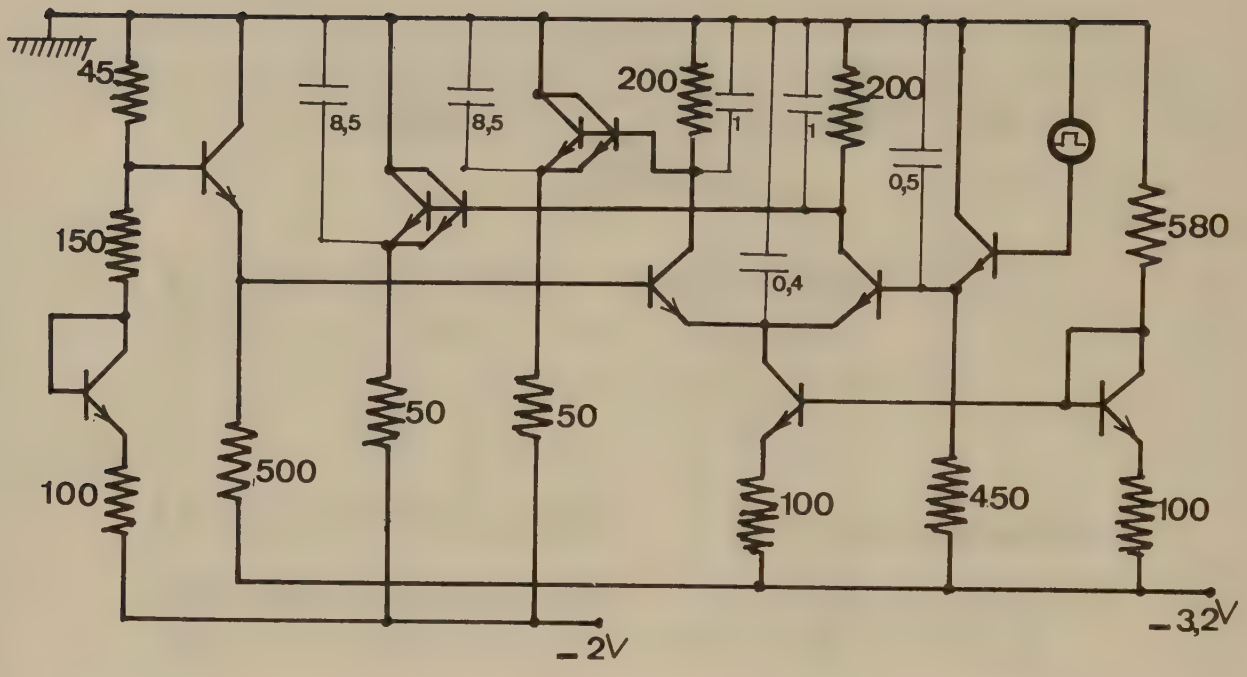
$J_{b'c} = I_{c_j} - \alpha_i . I_{e_j}$ $\qquad C_{b'c'} = C_t(b'c') + C_d(b'c')$

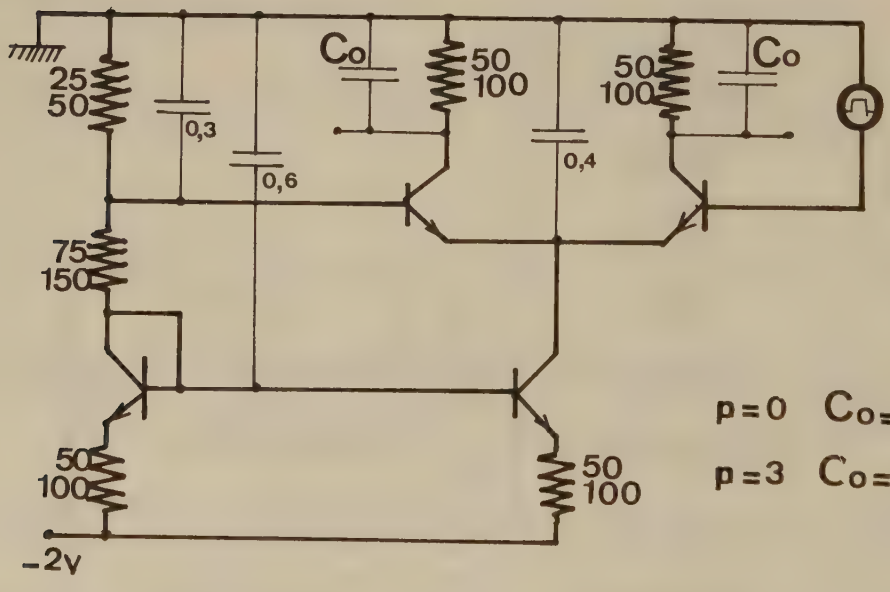
V_T	$25{,}5.10^{-3}$ V		
$R_{bb'}$	250Ω		
$R_{cc'}$	1,5Ω		
n_e	1,02	n_c	0,997
α_n	0,9852	α_i	0,5
I_{eo}	$0{,}116.10^{-15}$ A	I_{co}	$0{,}162.10^{-15}$ A
T_e	70.10^{-12} s	T_c	7.10^{-9} s
C_{teo}	$0{,}1.10^{-12}$ F.V^{k_e}	C_{tco}	$0{,}26.10^{-12}$ F.V^{k_c}
$V\varnothing_e$	1 V	$V\varnothing_c$	1 V
k_e	0,5	k_c	0,5

Paramétres IMAG

FIG. 16

Résistances _Ω
Capacités _pF



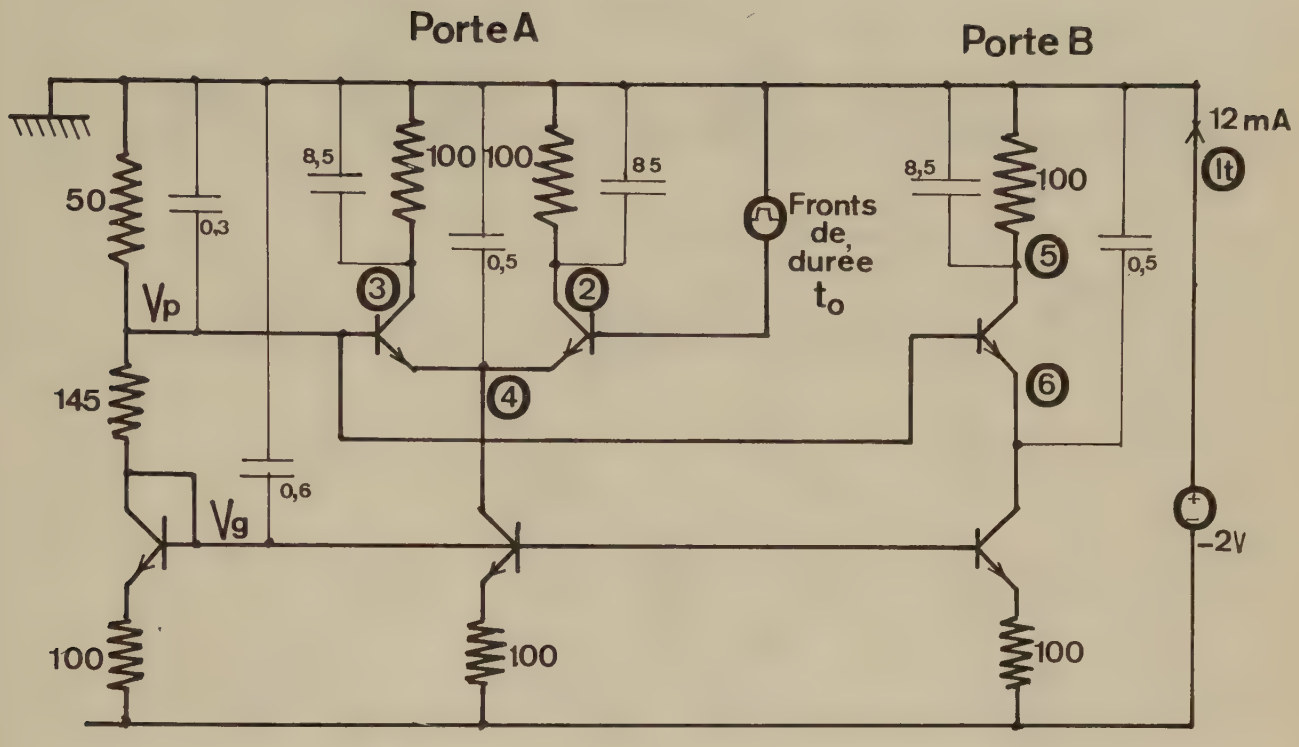


p=0 C_o=1pF

p=3 C_o=8,5pF

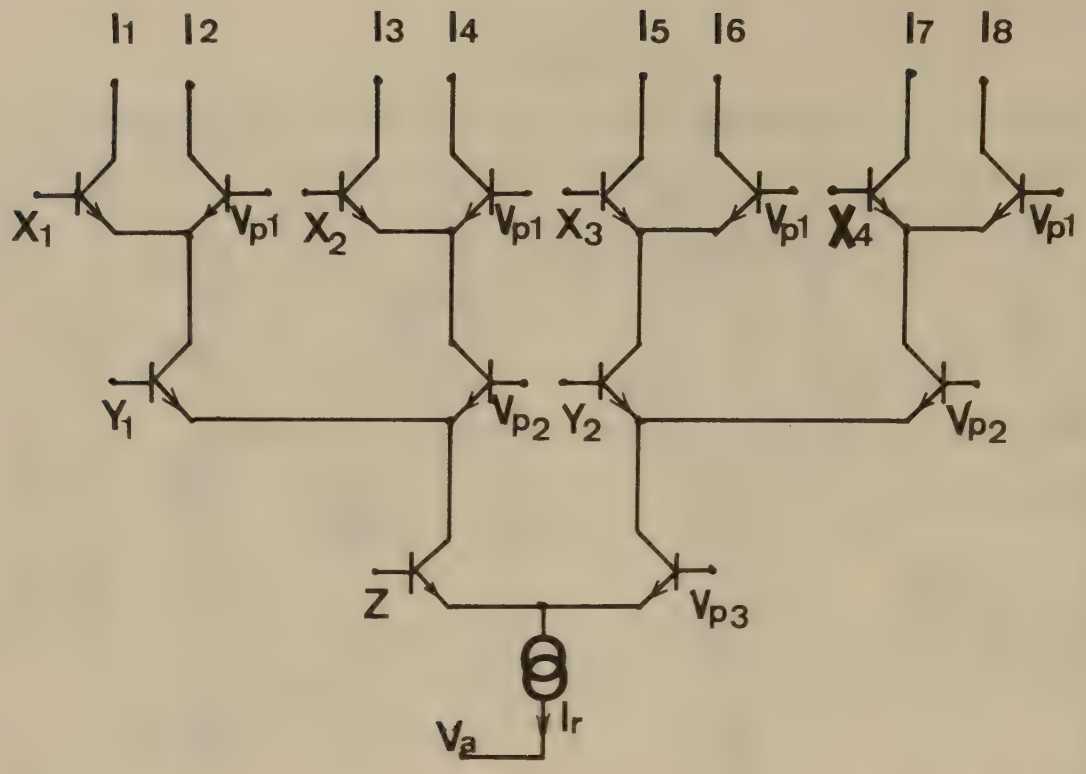
Opérateur	R_C Ω	p	$t_{p\,moyen}$ ns
Interface de sortie ECL	200	3	1,48
Porte de la partie interne	50	0	0,70
	100	0	0,48
	50	3	0,91
	100	3	1,01

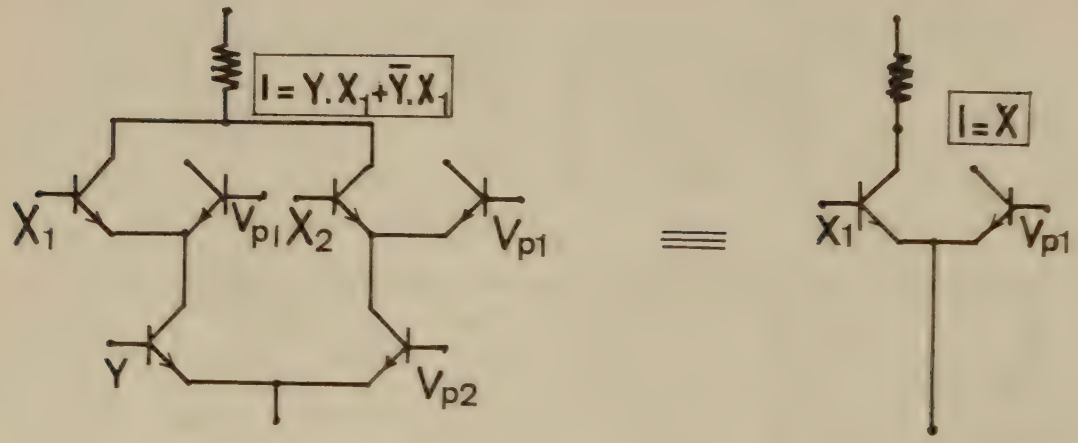
FIG.17



t_o	Nœud	1ns	2ns	3ns
t_p moyen ns	2.3	1,01	1,17	1,29
$t_{m,d}$ moyen ns	2.3	1,60	1,81	2,09
Amplitude des impulsions parasites mv	4	89	74	57
	5	11	10	8
	6	24	23	18
Courants parasites mA	I_t	0,65	0,43	0,36

FIG.18


I1 I2 I3 I4 I5 I6 I7 I8
X1 Vp1 X2 Vp1 X3 Vp1 X4 Vp1
Y1 Vp2 Y2 Vp2
Z Vp3
Va Ir


I = Y.X1 + Ȳ.X1
X1 Vp1 X2 Vp1
Y Vp2
≡
I = X
X1 Vp1

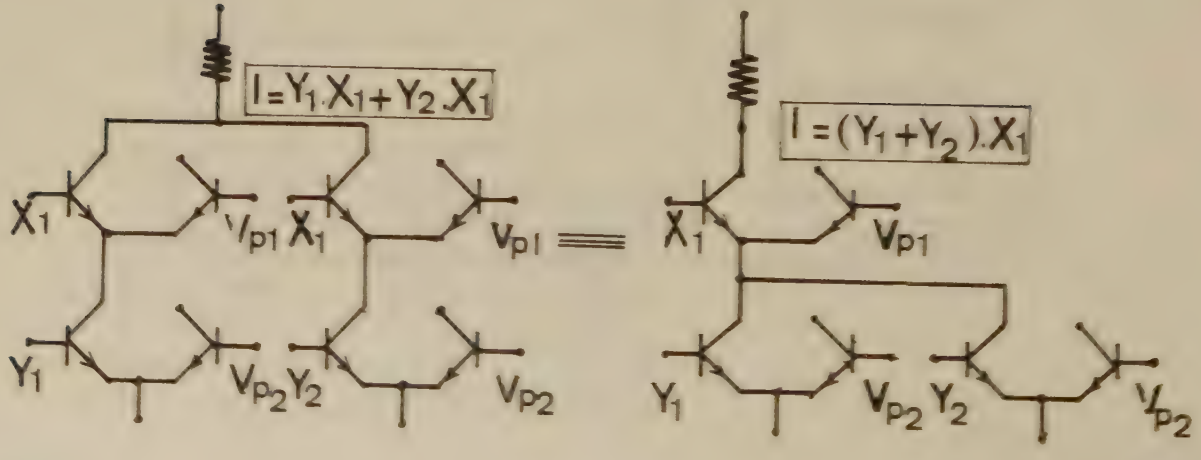
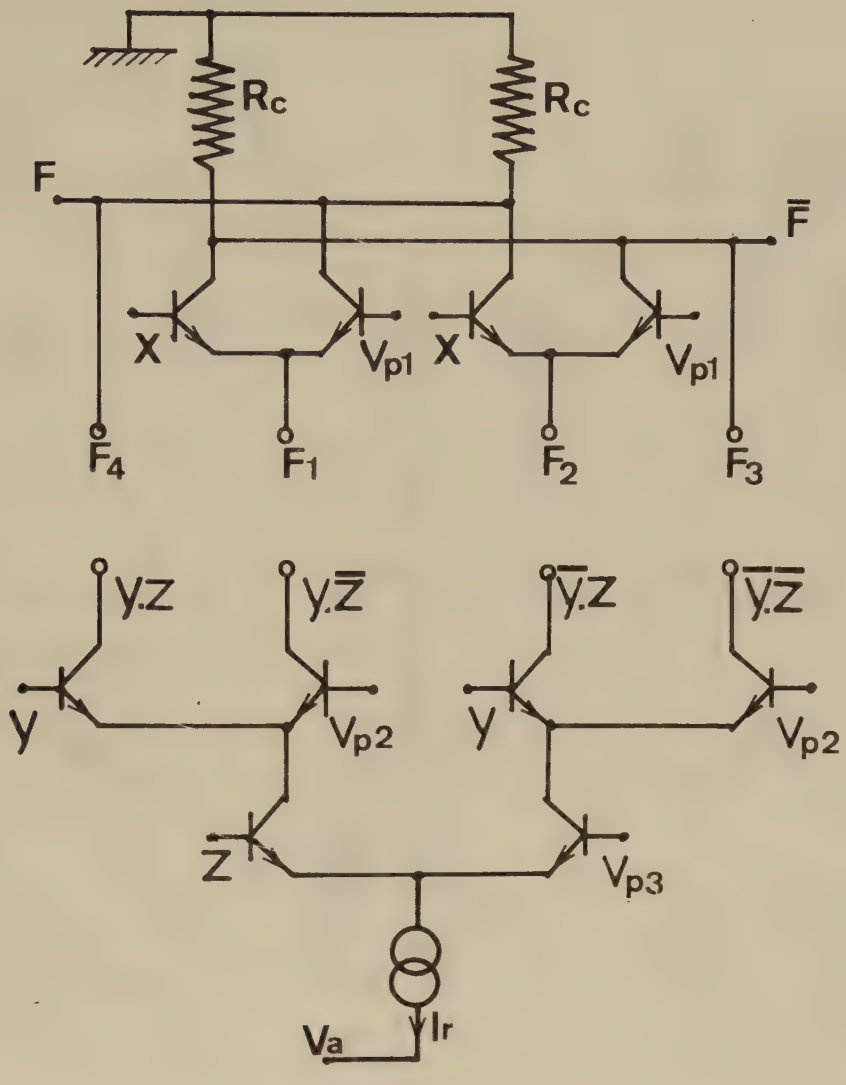

I = Y1.X1 + Y2.X1
X1 Vp1 X1 Vp1
Y1 Vp2 Y2 Vp2
≡
I = (Y1 + Y2).X1
X1 Vp1
Y1 Vp2 Y2 Vp2

FIG.19

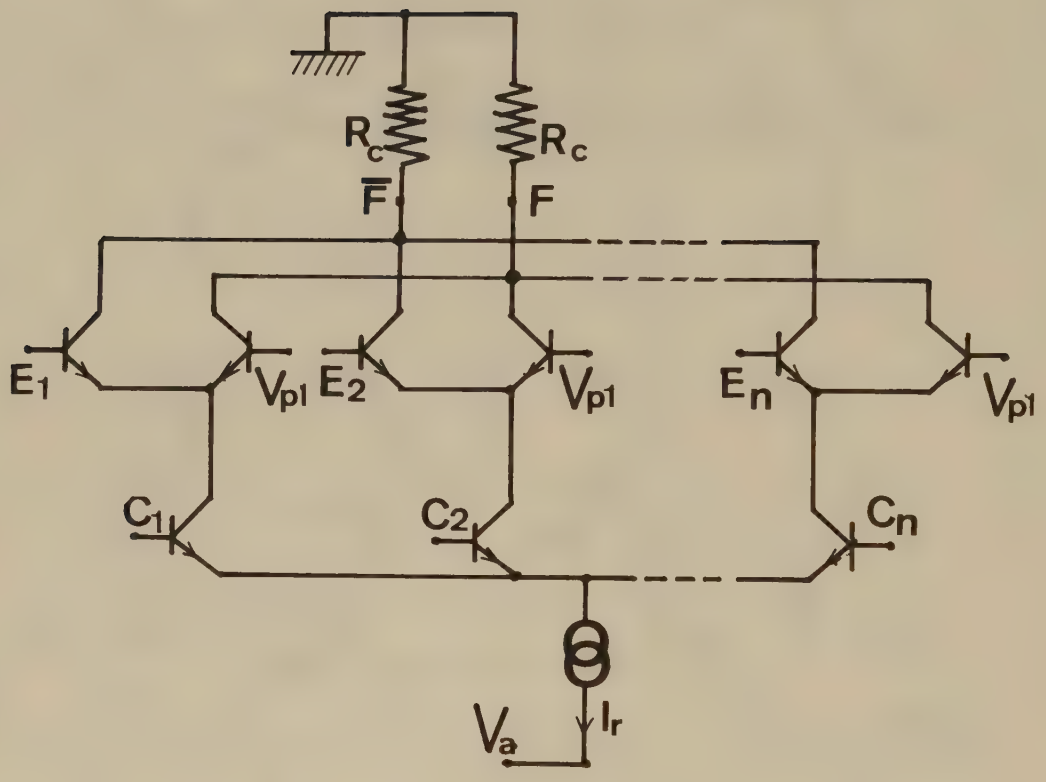


F_1, F_2, F_3, F_4, fonctions de Y, Z, telles que :

$$\begin{cases} F_1 + F_2 + F_3 + F_4 = 1 \\ F_i . F_j = 0 \qquad \forall i,j \leqslant 4 \quad i \neq j \end{cases}$$

$$F = F_1 . X + F_2 . \bar{X} + F_3 . 1 + F_4 . 0$$
$$\bar{F} = F_1 . \bar{X} + F_2 . X + F_3 . 0 + F_4 . 1$$

FIG.20

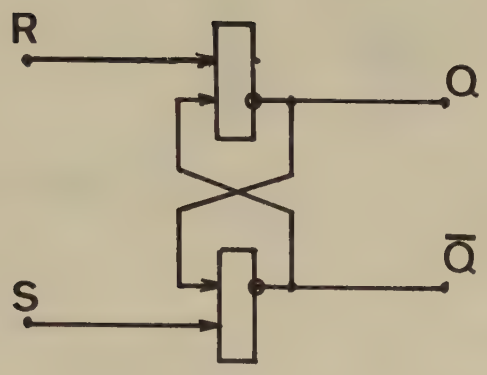


$$F(C_1,C_2,\ldots,C_n,E_1,E_2,\ldots,E_n)=\sum_{i=1}^{n} C_i.E_i$$

$$\overline{F}=\sum_{i=1}^{n} C_i.\overline{E}_i$$

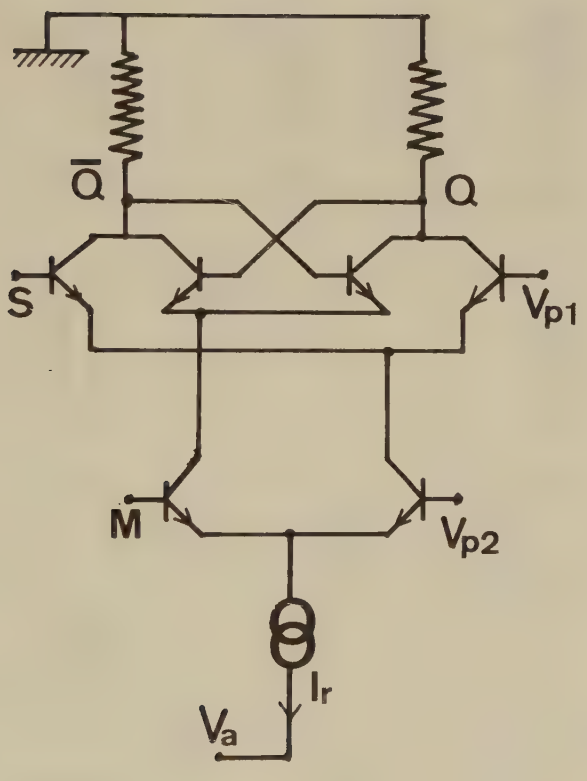
$$\left|\begin{array}{l} C_1+C_2+\cdots+C_n=1 \\ C_i.C_j=0 \quad \forall i,j \quad i\neq j \end{array}\right.$$

FIG. 21



①

R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	Ø



②

M	S	Q_{n+1}
0	0	0
0	1	1
1	0	Q_n
1	1	Q_n

FIG. 22

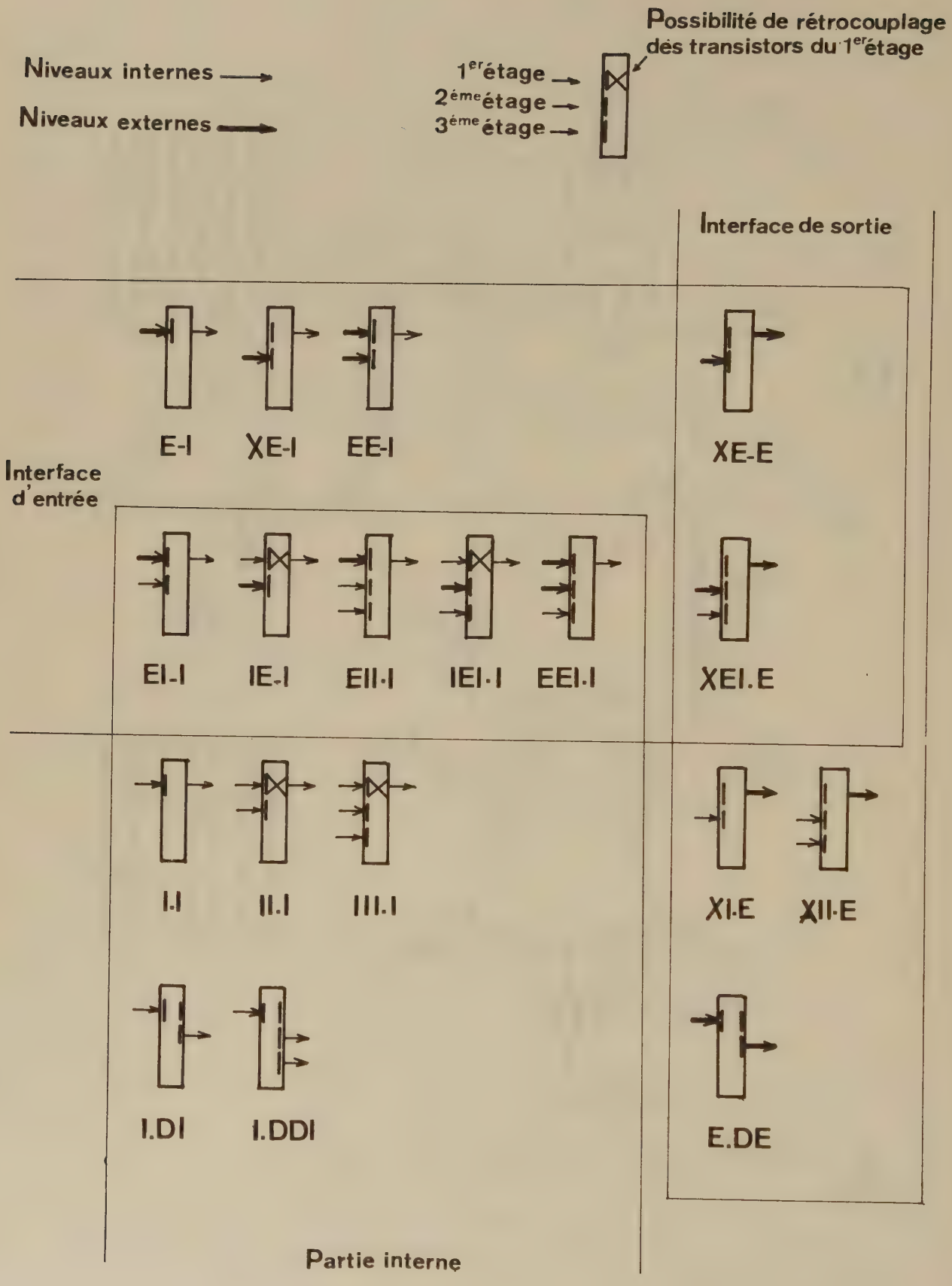
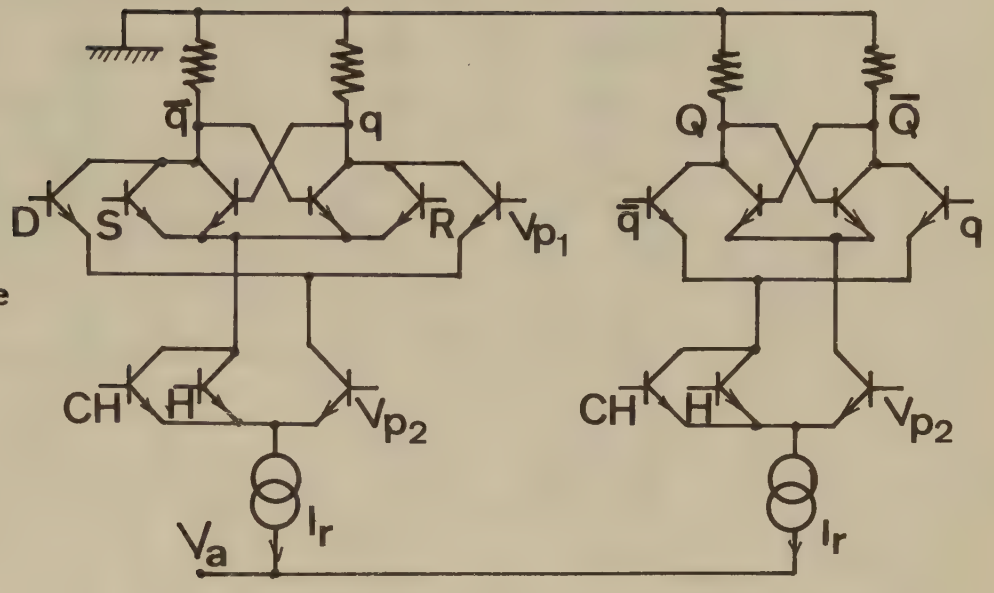

Possibilité de rétrocouplage
dés transistors du 1er étage
Niveaux internes
Niveaux externes
1er étage
2ème étage
3ème étage
Interface de sortie
E-I
XE-I
EE-I
XE-E
Interface
d'entrée
EI-I
IE-I
EII-I
IEI-I
EEI-I
XEI.E
I.I
II.I
III.I
XI.E
XII.E
I.DI
I.DDI
E.DE
Partie interne

FIG. 23

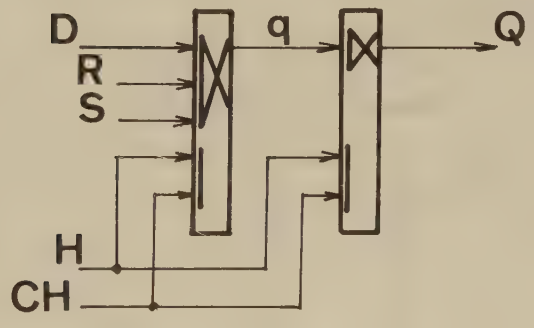
Maître

Esclave

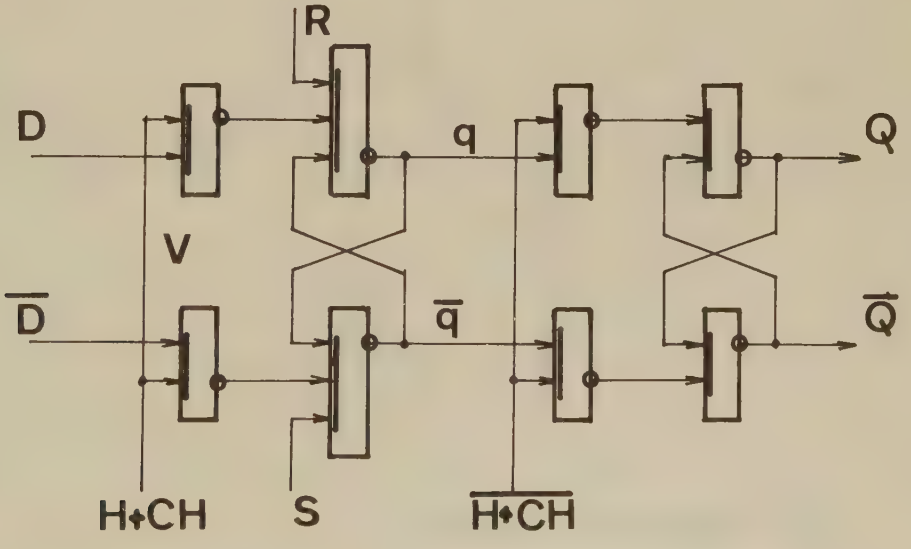
Schéma électrique



Représentation



①

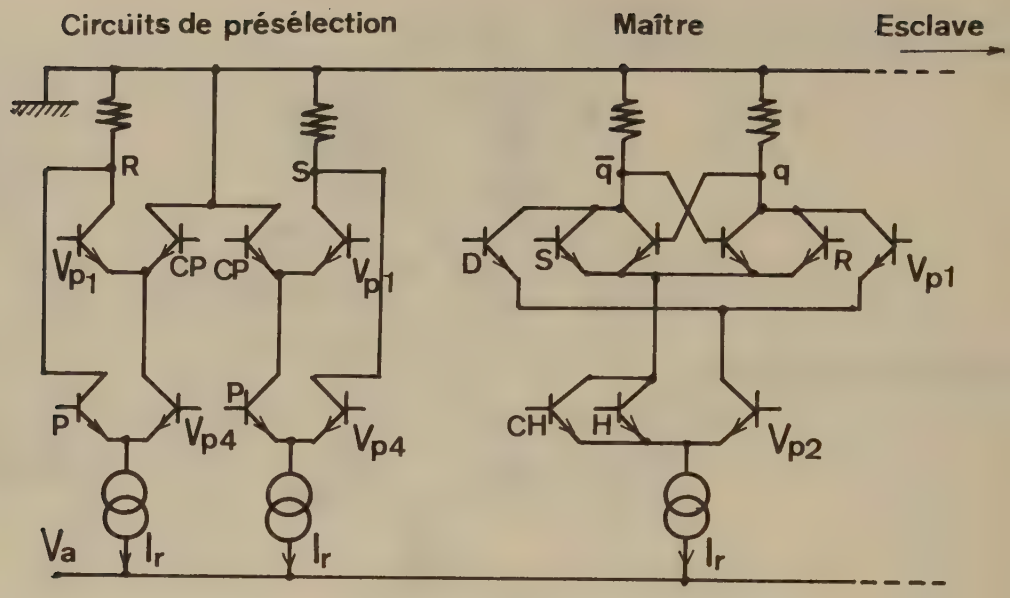


②

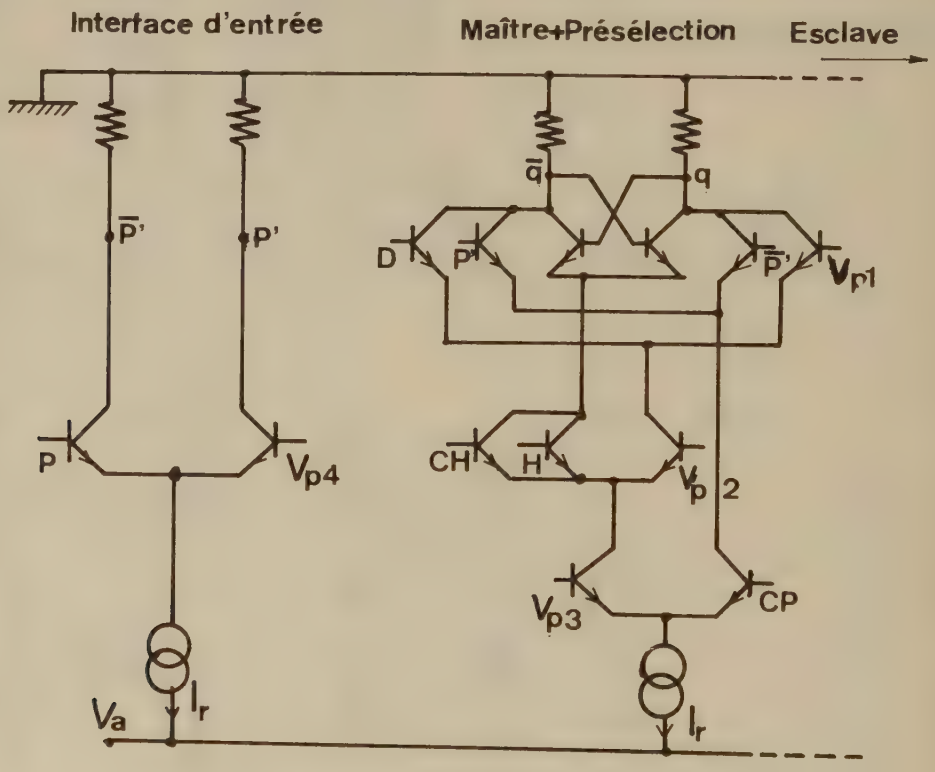
Maître

Esclave

FIG. 24



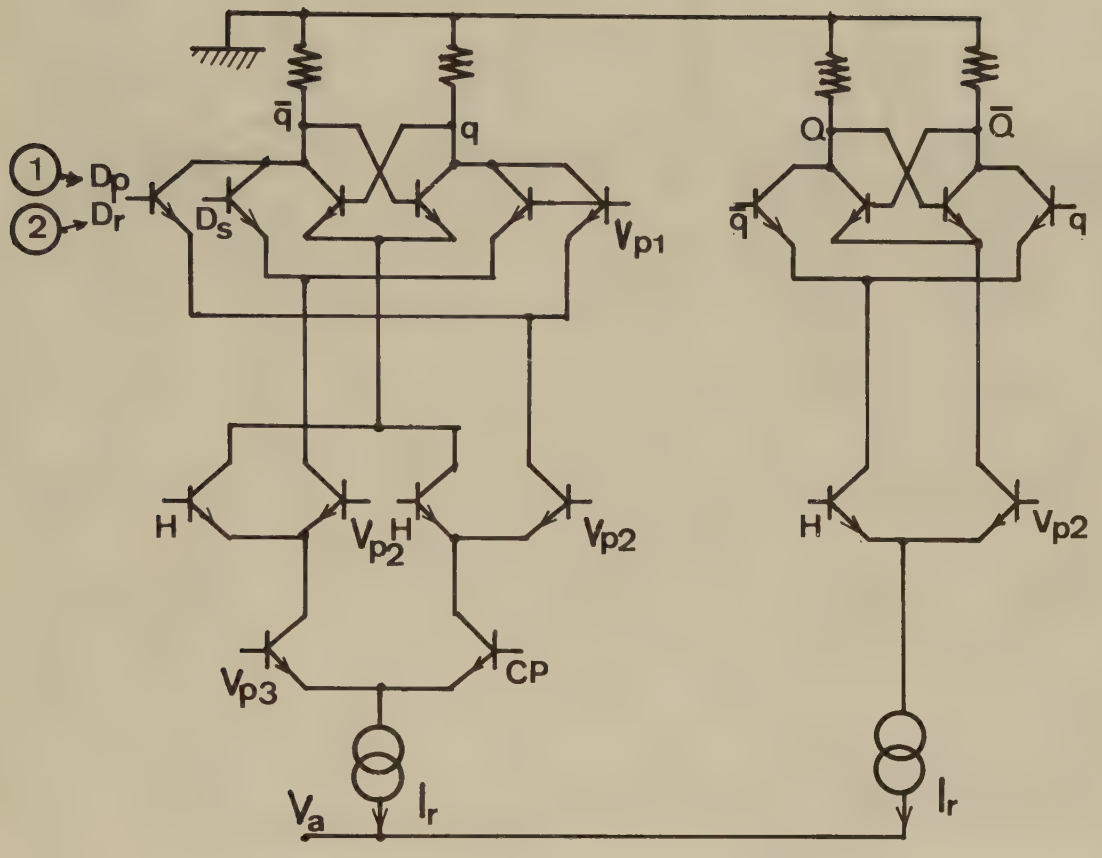
① Logique à 2 niveaux

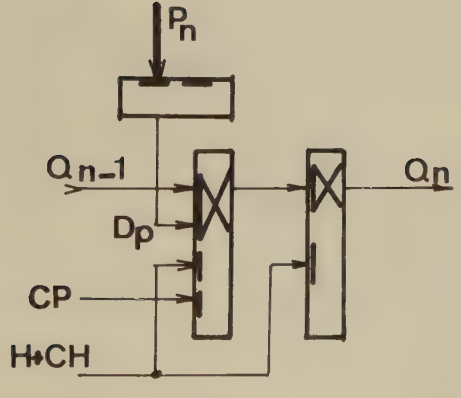


② Logique à 3 niveaux

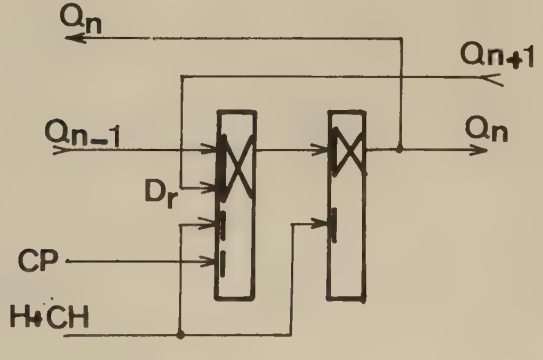
Circuits de présélection

FIG. 25


1
Dp
2
Dr
Ds
q̄
q
Q
Q̄
q̄
q
Vp1
H
Vp2
H
Vp2
H
Vp2
Vp3
CP
Va
Ir
Ir

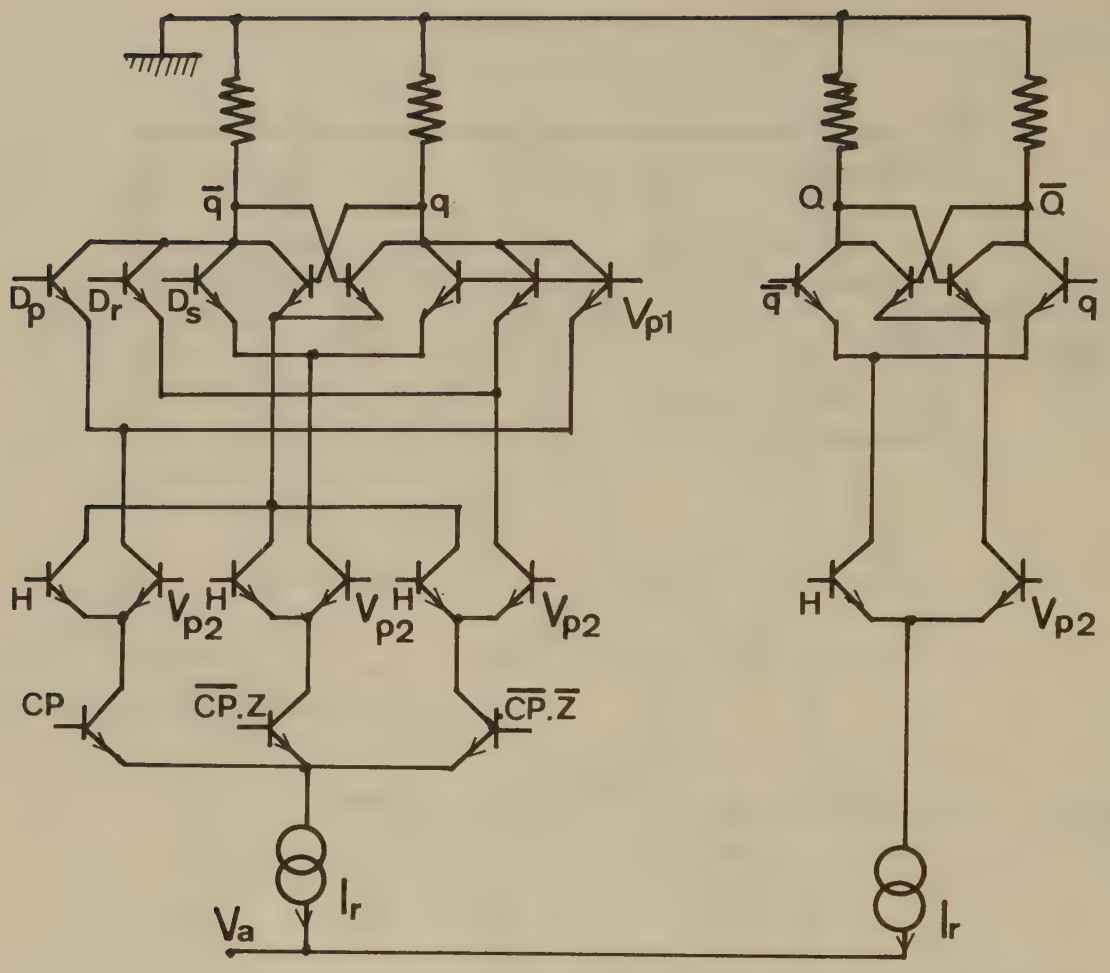

Pn
Qn-1
Dp
CP
H+CH
Qn

①


Qn
Qn+1
Qn-1
Dr
CP
H+CH
Qn

②

FIG. 26


$\overline{q}$
q
Q
$\overline{Q}$
D_p
D_r
D_s
V_{p1}
$\overline{q}$
q
H
V_{p2}
H
V_{p2}
H
V_{p2}
H
V_{p2}
CP
$\overline{CP}.Z$
$\overline{CP}.\overline{Z}$
I_r
V_a
I_r

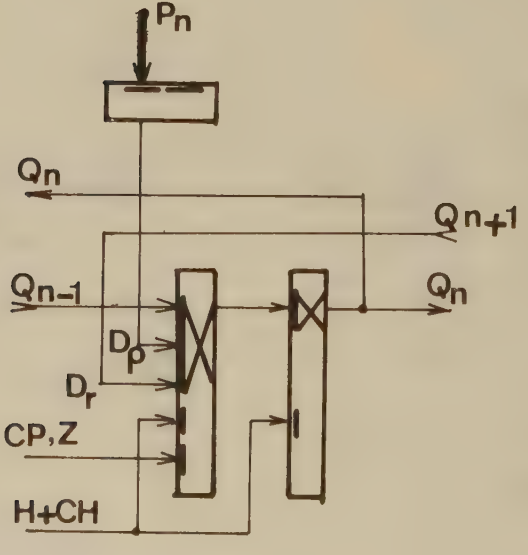
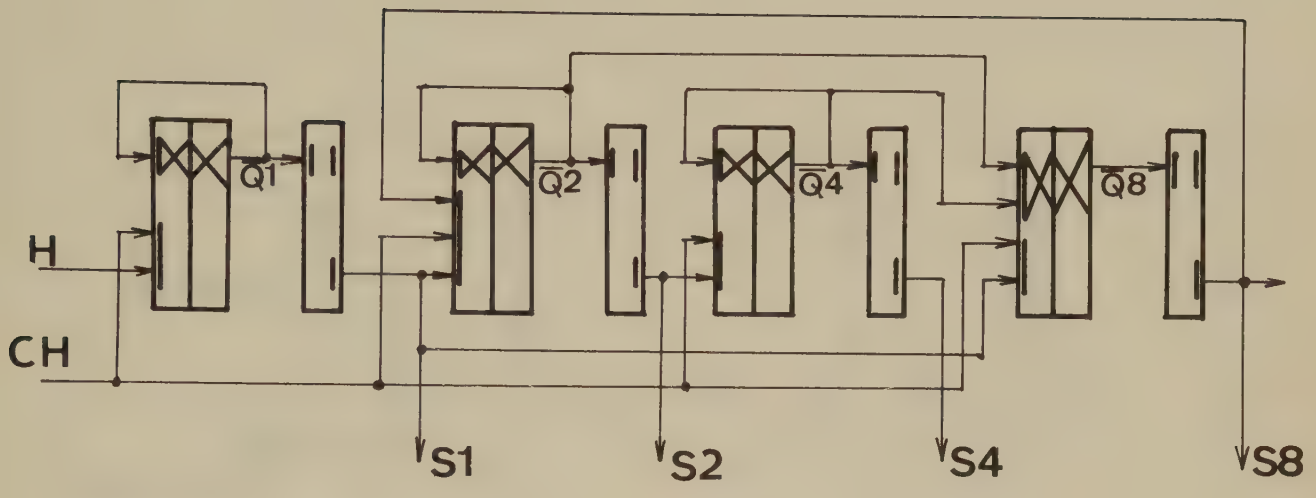
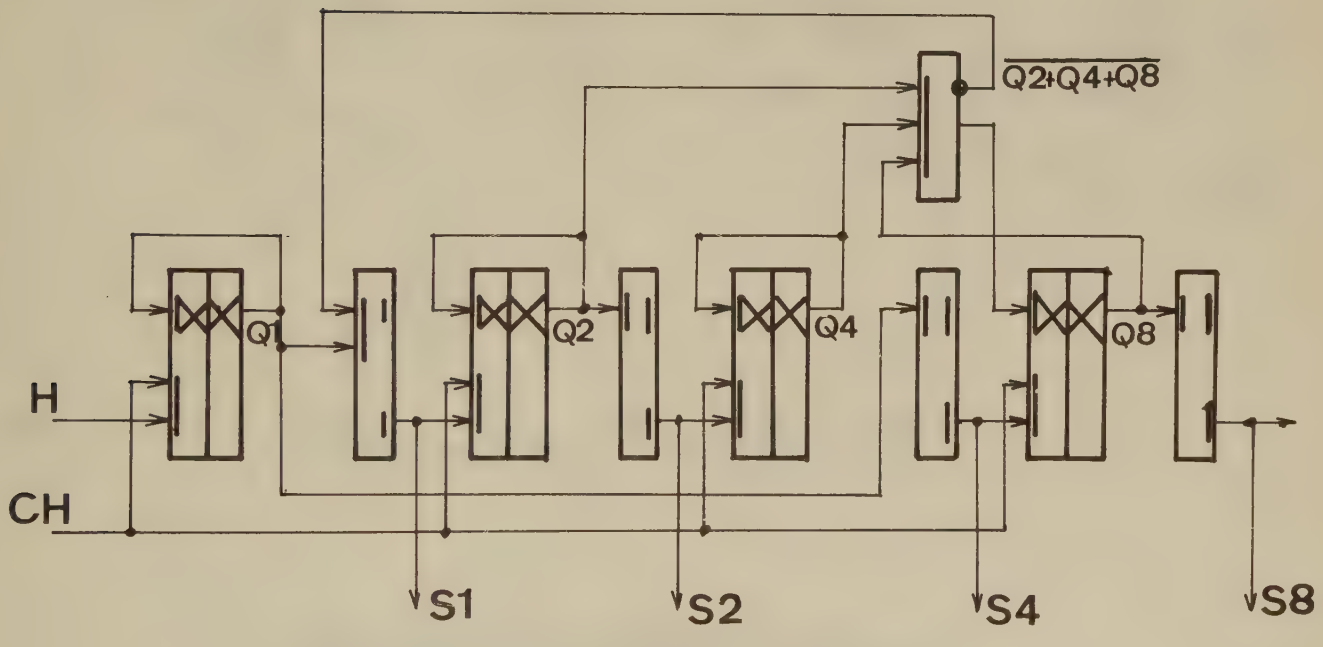

P_n
Q_n
Q_{n+1}
Q_{n-1}
Q_n
D_p
D_r
CP,Z
H+CH

FIG.27

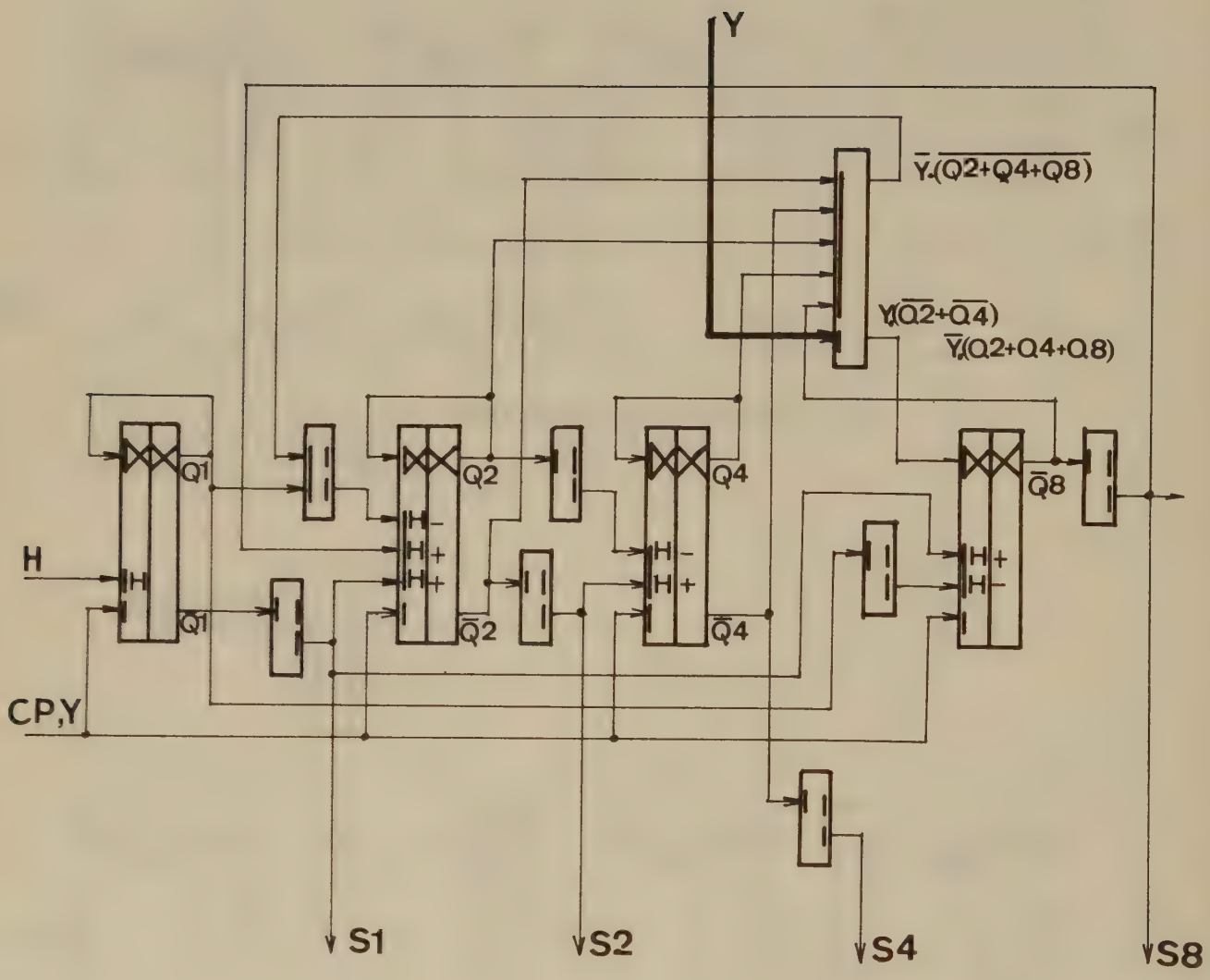


① Décade comptante



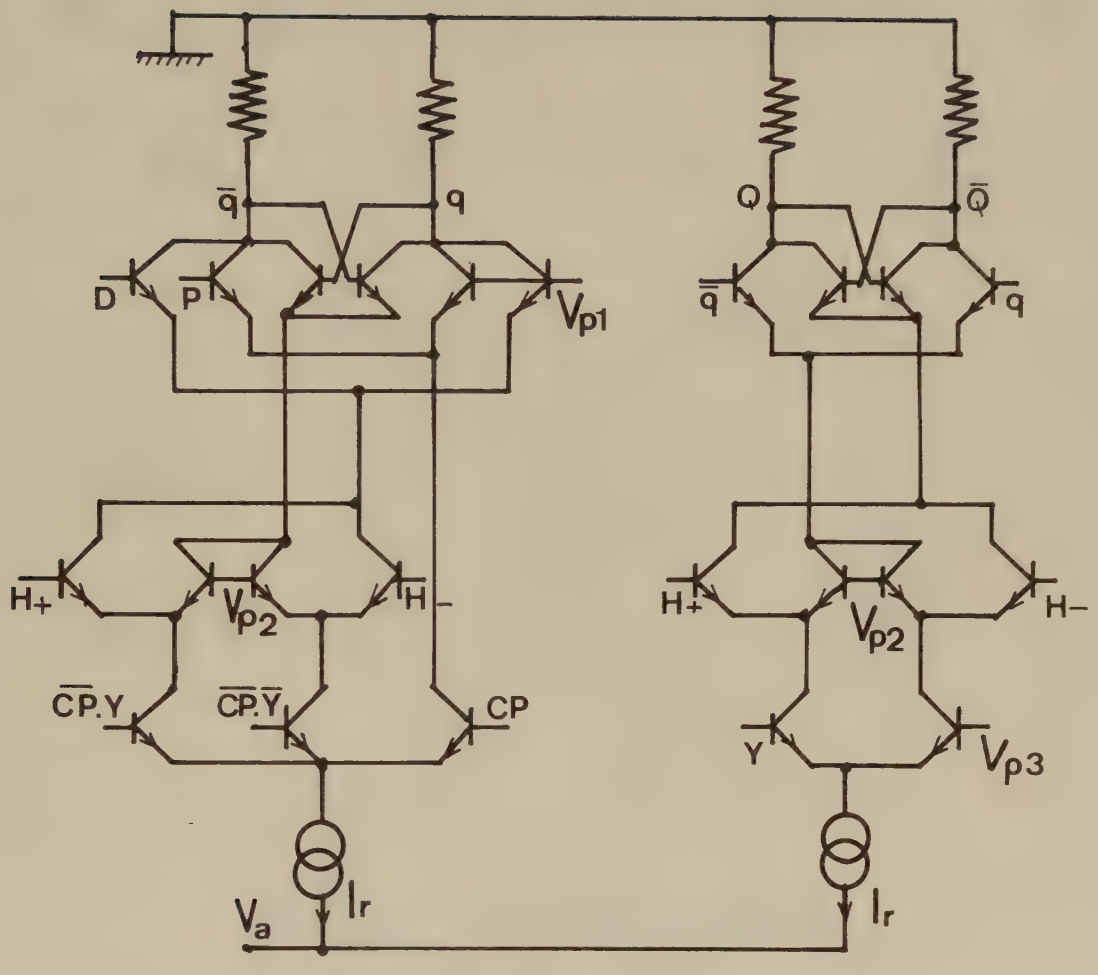
② Décade décomptante

FIG.28



Décade comptante-décomptante

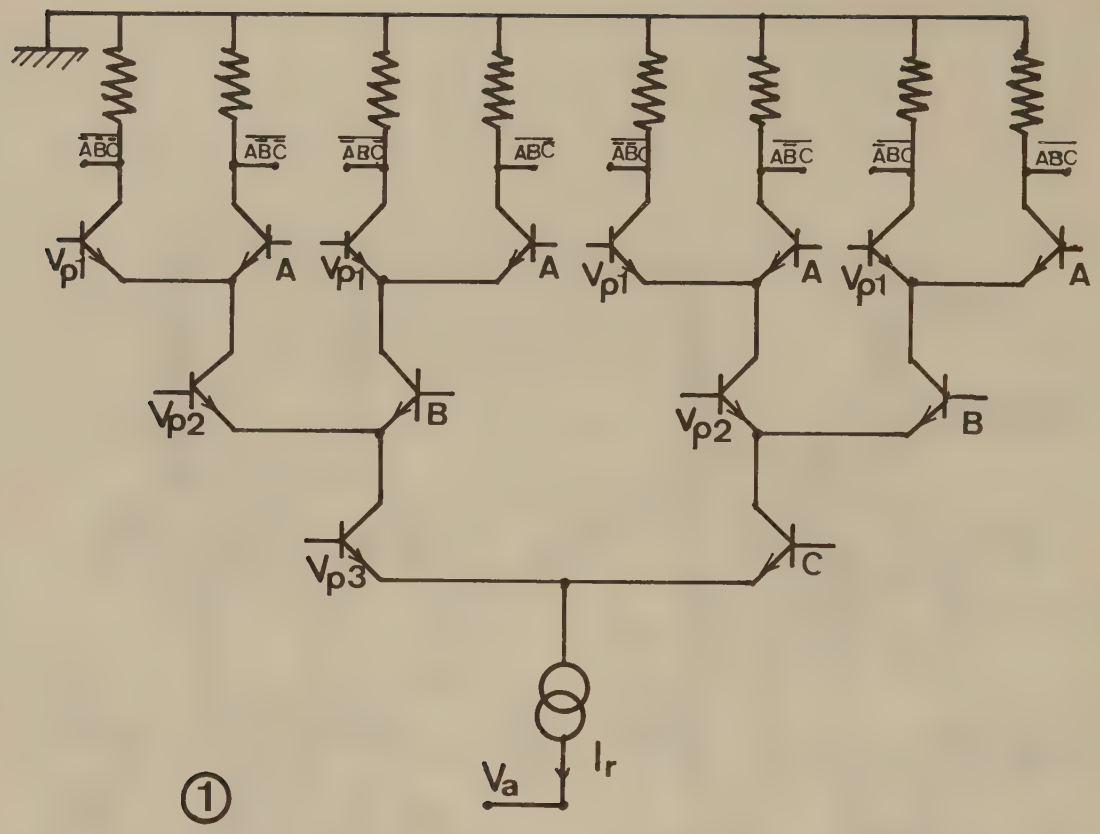
FIG. 29.1



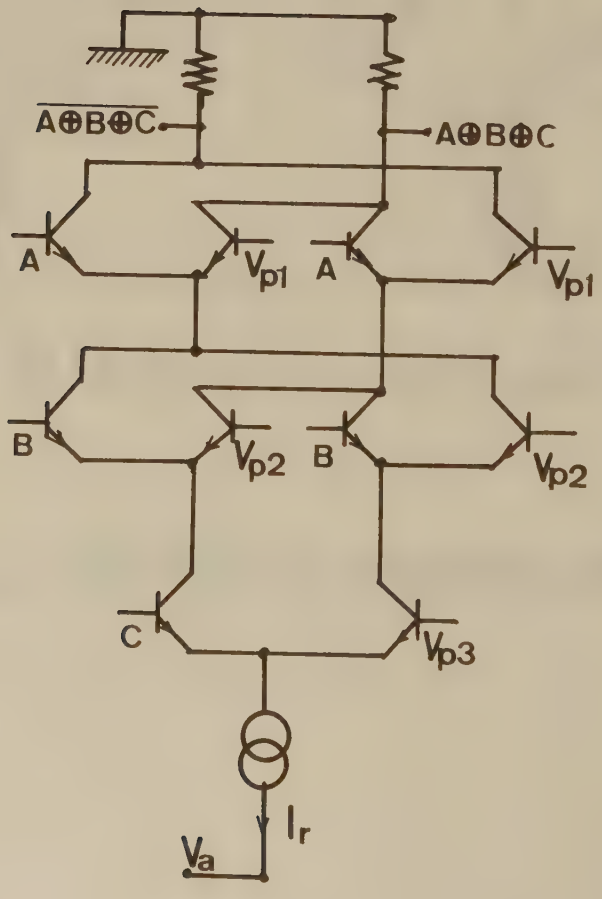
Bascules maître-esclave (2), (4), (8)

Décade comptante-décomptante

FIG. 29.2

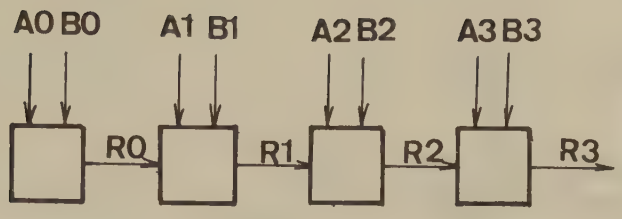

ABC
ABC
ABC
ABC
ABC
ABC
ABC
ABC
Vp1
A
Vp1
A
Vp1
A
Vp1
A
Vp2
B
Vp2
B
Vp3
C
Ir
Va

①

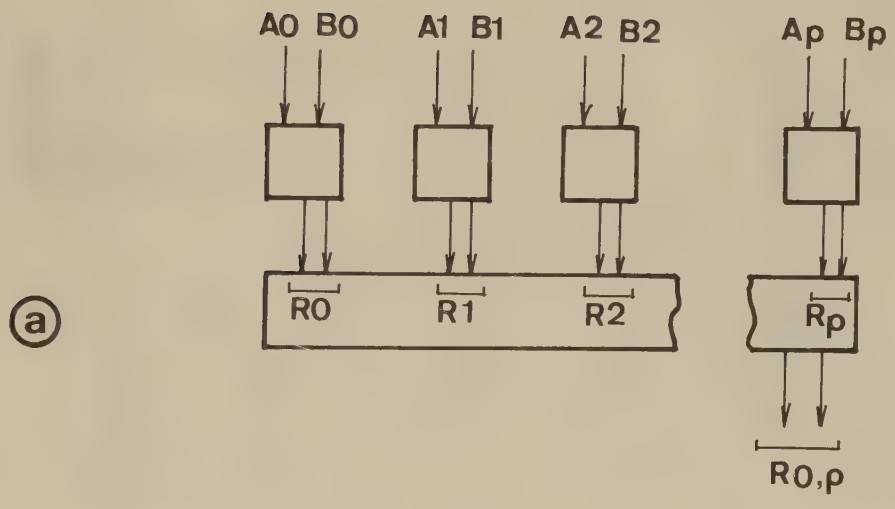

A⊕B⊕C
A⊕B⊕C
A
Vp1
A
Vp1
B
Vp2
B
Vp2
C
Vp3
Ir
Va

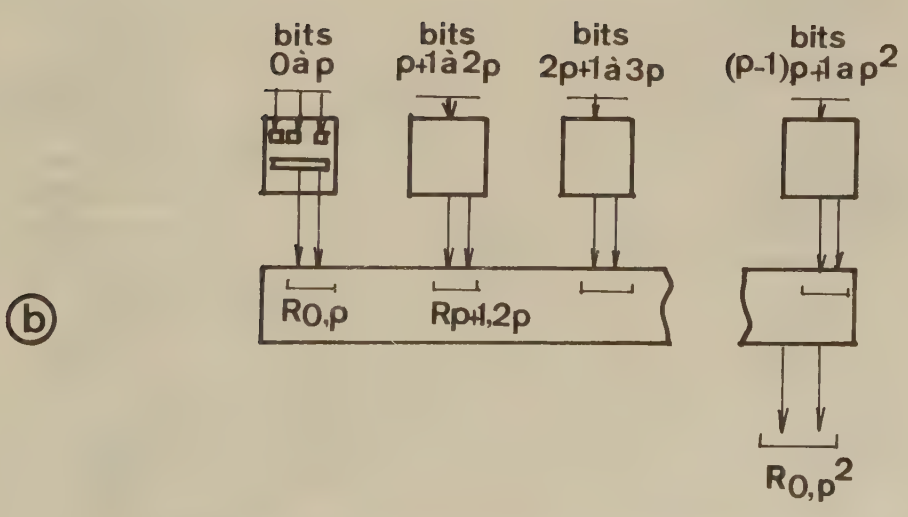
②

FIG.30



1-Propagation de la retenue en cascade





2.Propagation de la retenue anticipée

FIG. 31

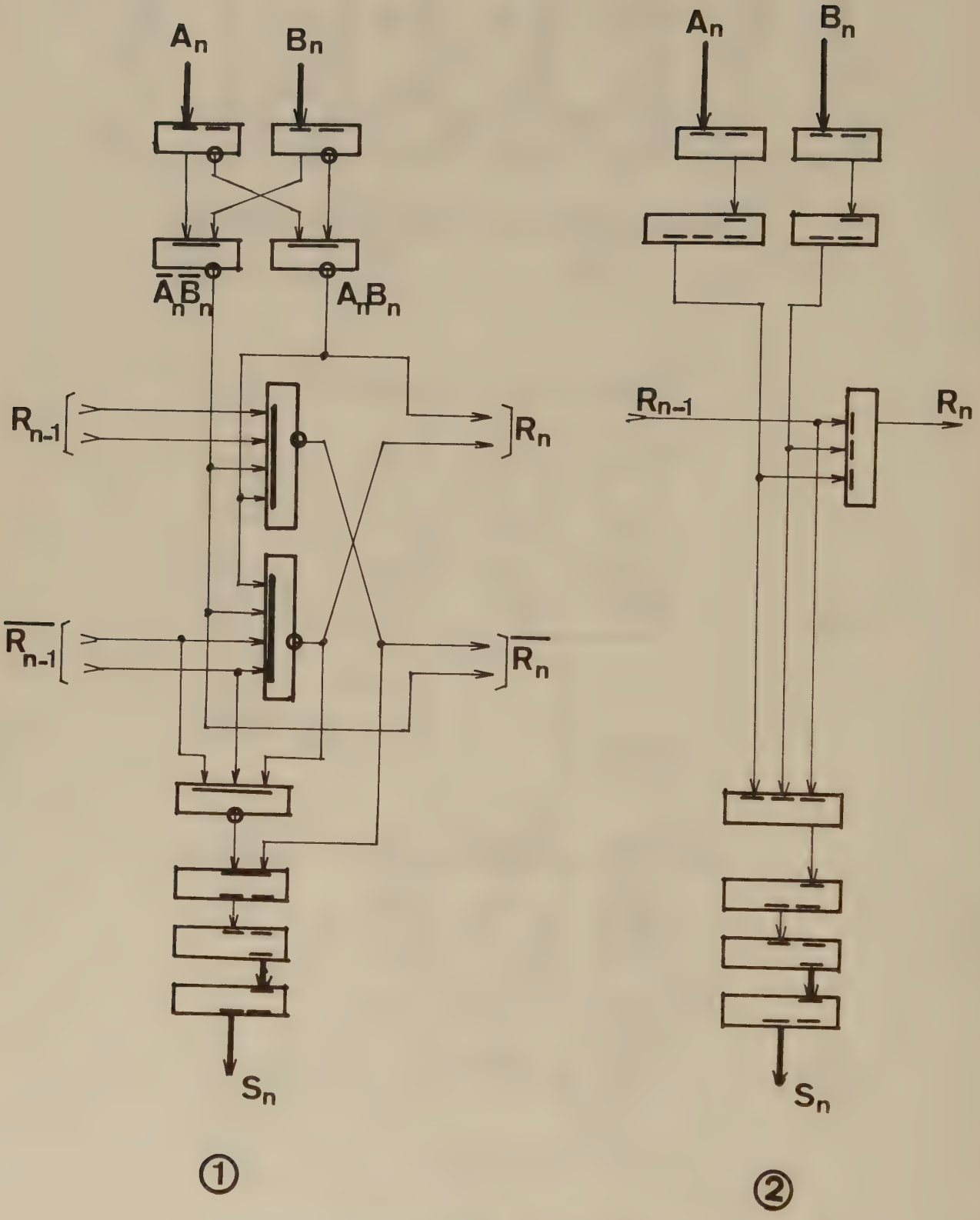
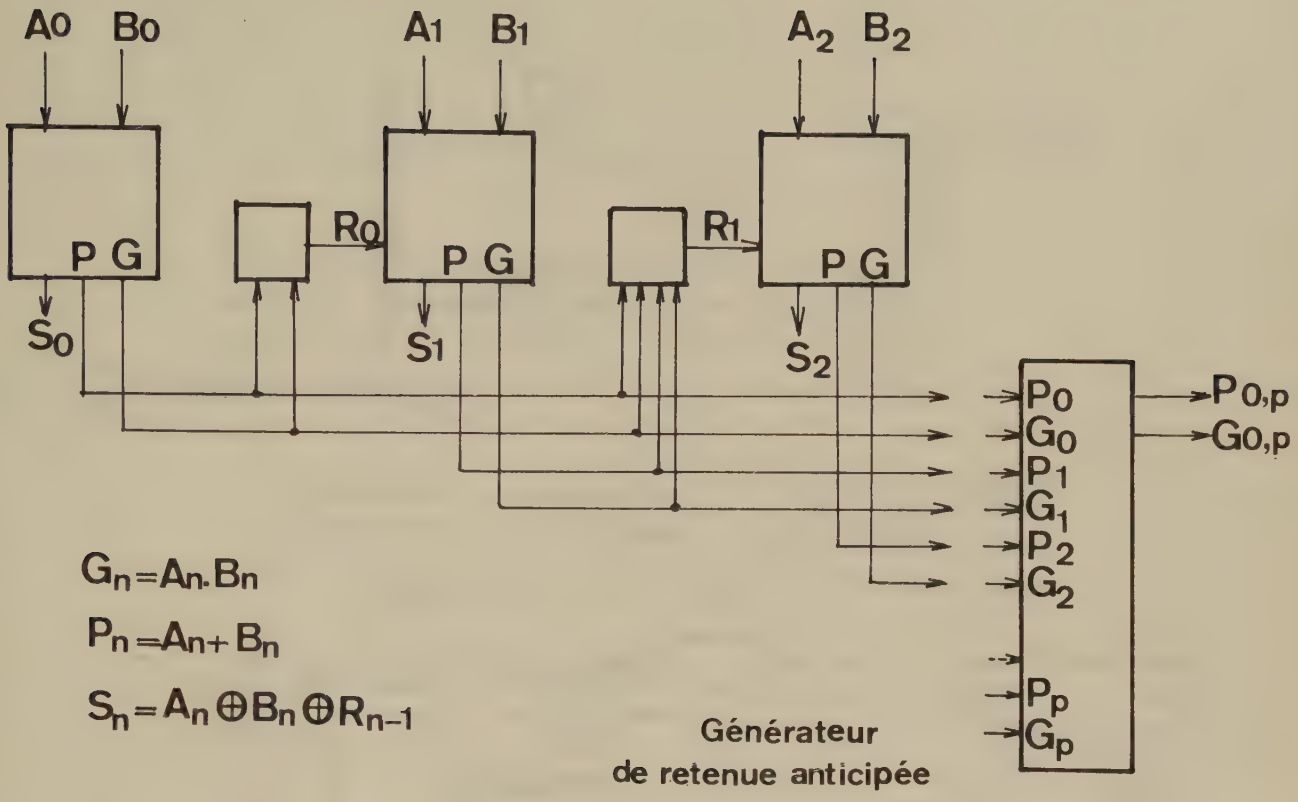

An
Bn
$\overline{A_n}\overline{B_n}$
A_nB_n
Rn-1
Rn
$\overline{R_{n-1}}$
$\overline{R_n}$
Sn
①
An
Bn
Rn-1
Rn
Sn
②

FIG.32



$G_n = A_n . B_n$

$P_n = A_n + B_n$

$S_n = A_n \oplus B_n \oplus R_{n-1}$

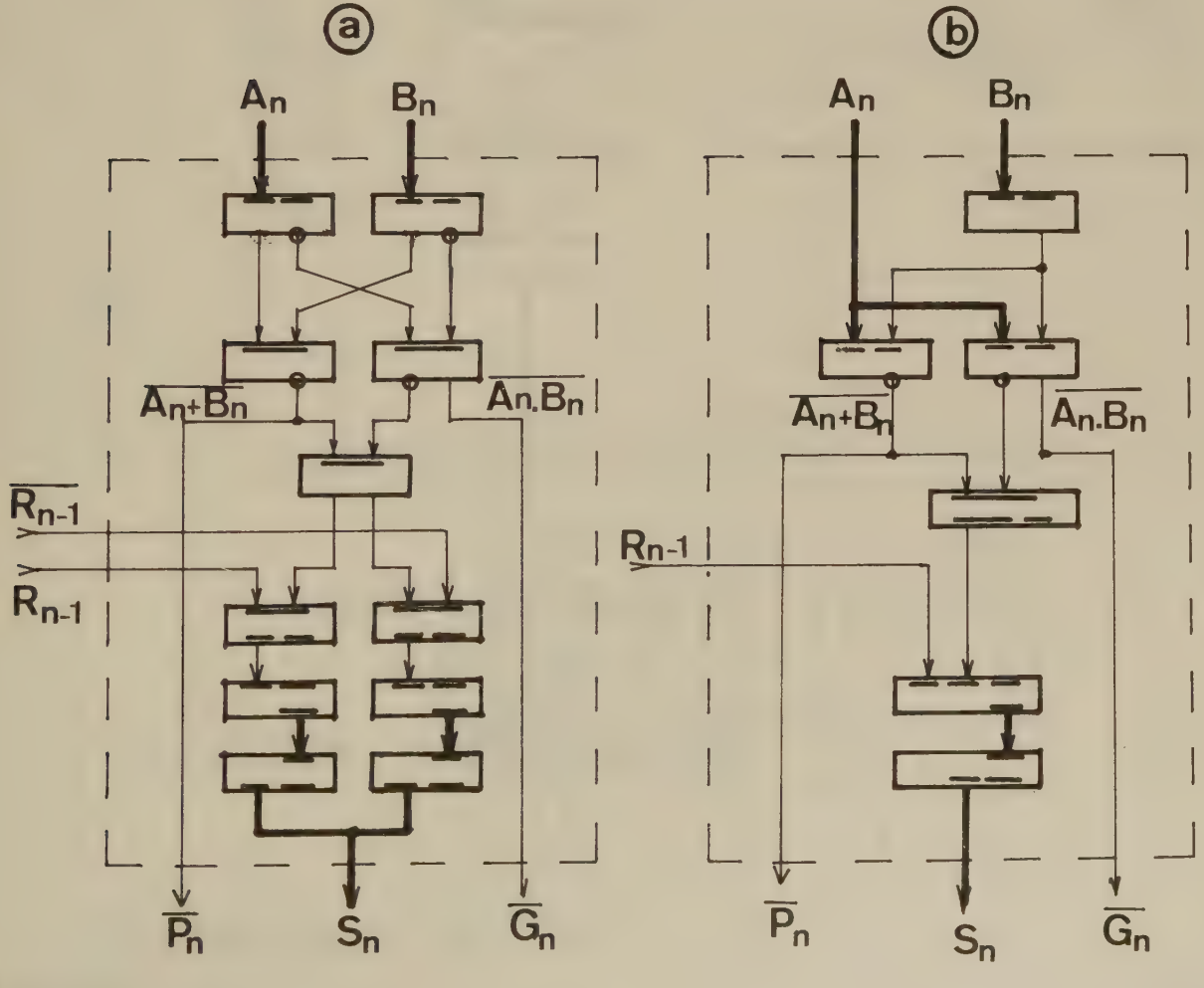
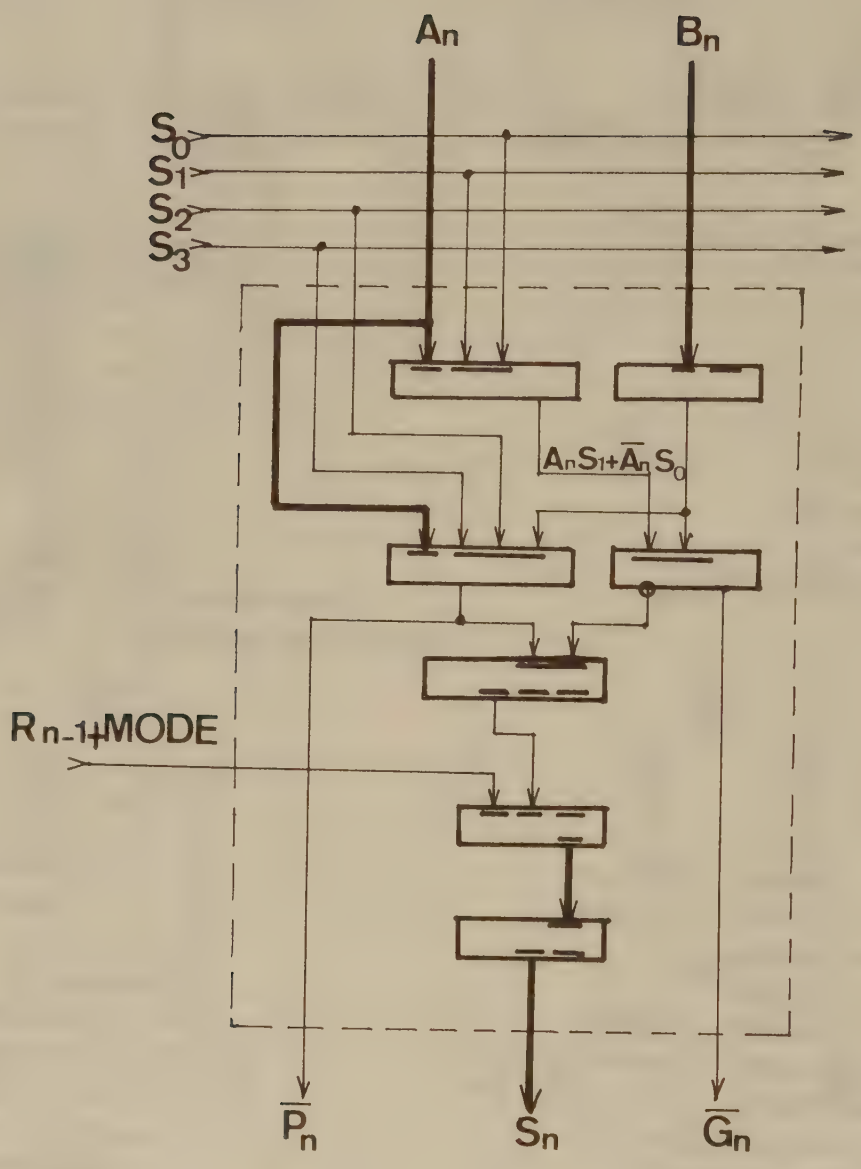


FIG.33

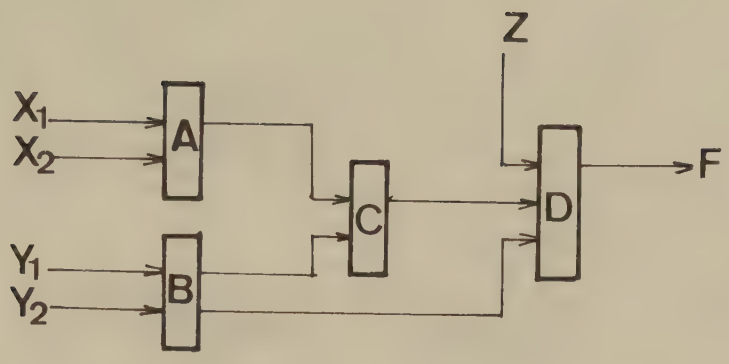


$$\overline{P_n} = \overline{A_n}.B_n.S_2 + \overline{A_n}.\overline{B_n}.S_3$$

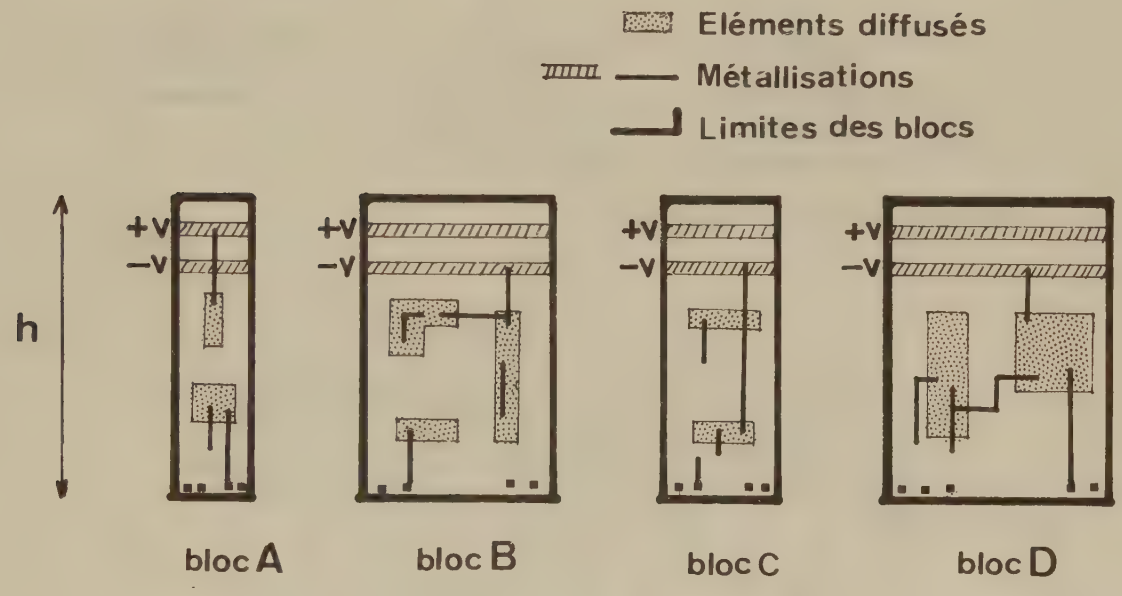
$$\overline{G_n} = \overline{A_n} + \overline{B_n}.S_0 + B_n.S_1$$

$$S_n = (G_n \oplus P_n) \oplus (R_{n-1} + MODE)$$

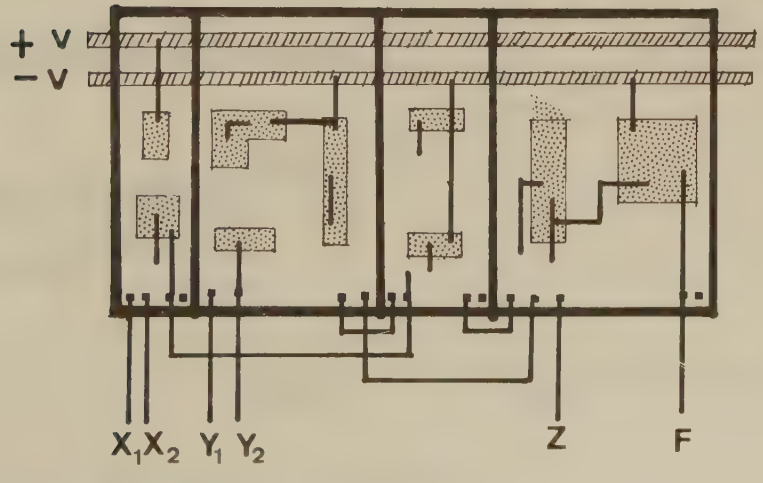
FIG.34



① Schéma logique

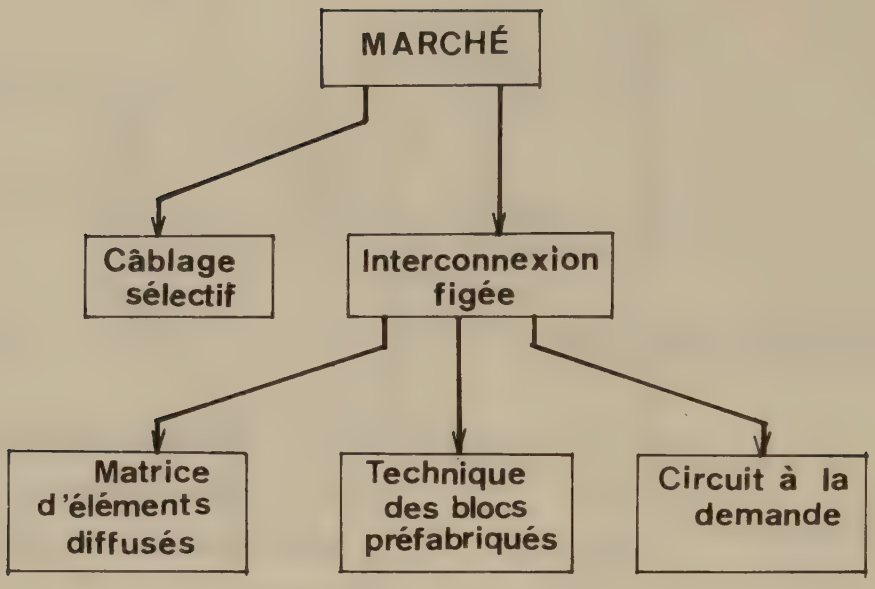


②



③ Assemblage des blocs

FIG. 35


MARCHÉ
Câblage sélectif
Interconnexion figée
Matrice d'éléments diffusés
Technique des blocs préfabriqués
Circuit à la demande

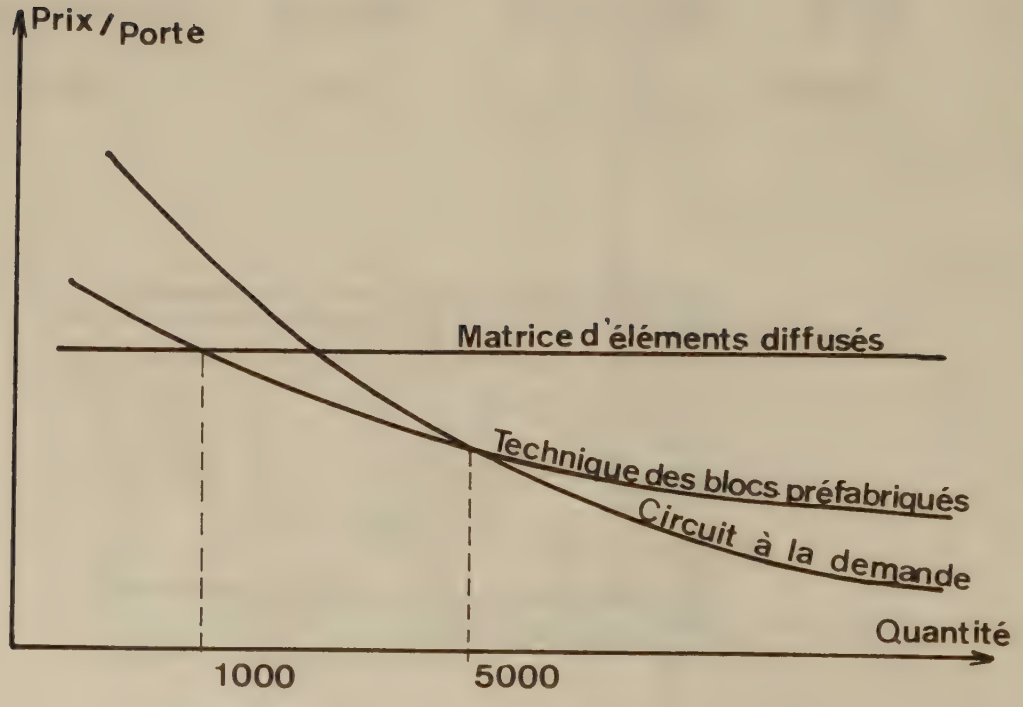
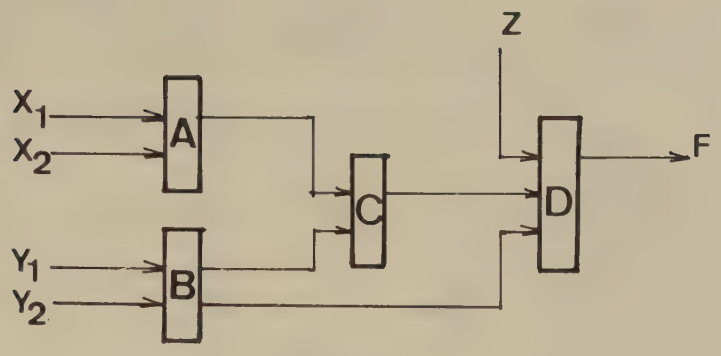

Prix / Porte
Matrice d'éléments diffusés
Technique des blocs préfabriqués
Circuit à la demande
Quantité
1000
5000

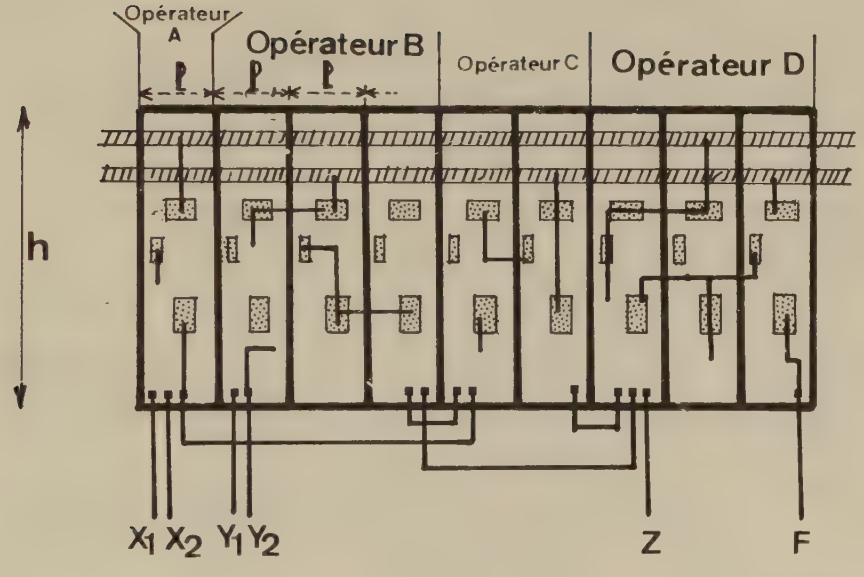
FIG. 36



Eléments diffusés

Métallisations

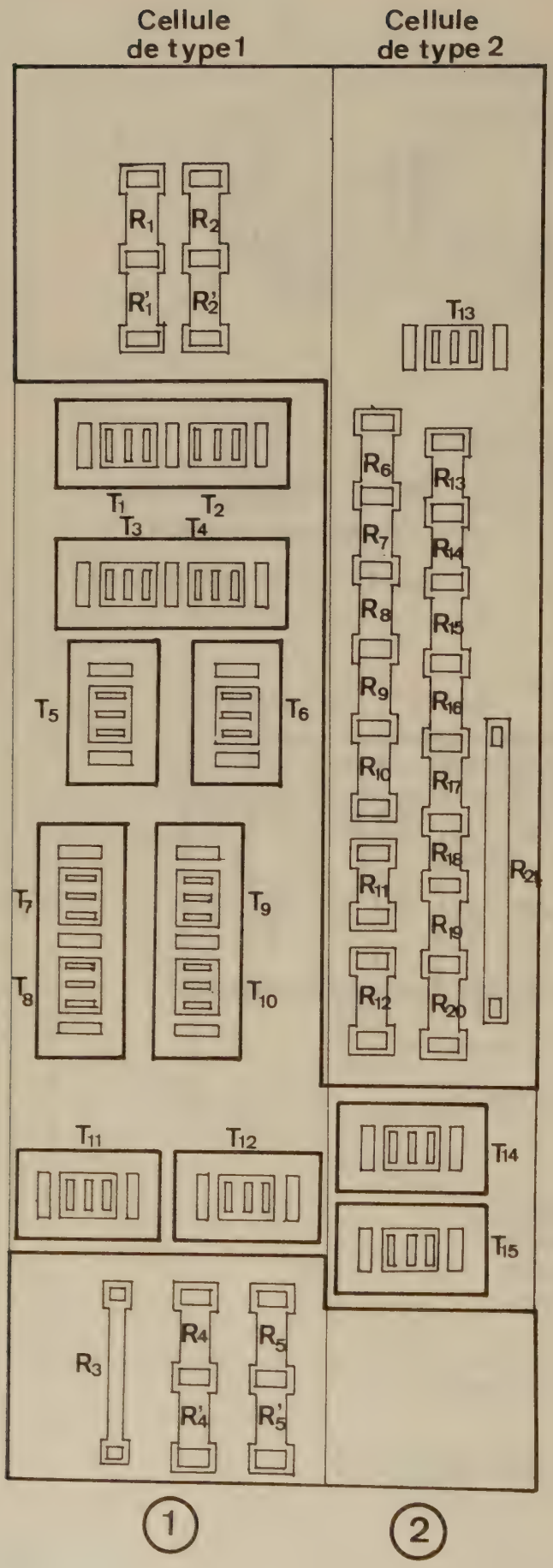
Limites des cellules



Opérateur A → 1 cellule
B → 3 cellules
C → 2 cellules
D → 3 cellules

Méthode "MEDICIS"

FIG.37



$R_1 = R'_1 = 100$
$R_2 = R'_2 = 100$
$R_3 = 450$
$R_4 = R'_4 = 100$
$R_5 = R'_5 = 100$

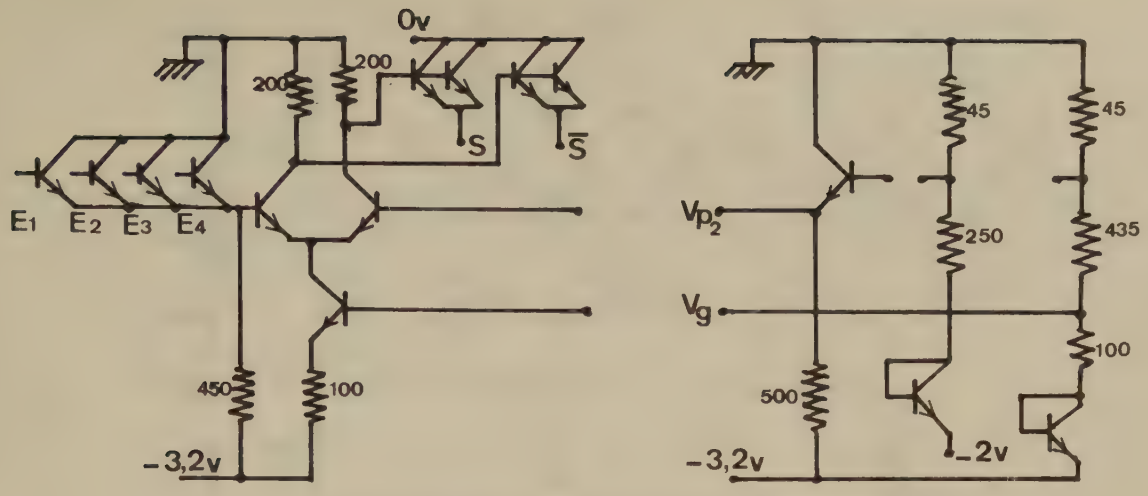
$R_6 = R_7 = 90$
$R_8 = R_9 = R_{10} = 100$
$R_{11} = 70$
$R_{12} = 100$
$R_{13} = R_{14} = 90$
$R_{15} = R_{16} = R_{17} = 100$
$R_{18} = 70$
$R_{19} = R_{20} = 100$
$R_{21} = 500$

T_1 et T_2
T_3 et T_4
T_7 et T_8
T_9 et T_{10}
} à collecteurs communs

T_{13} collecteur à la masse

Caisson

FIG. 38


0v
200
200
S
S̄
E1 E2 E3 E4
450
100
-3,2v
45
45
Vp2
250
435
Vg
100
500
-2v
-3,2v

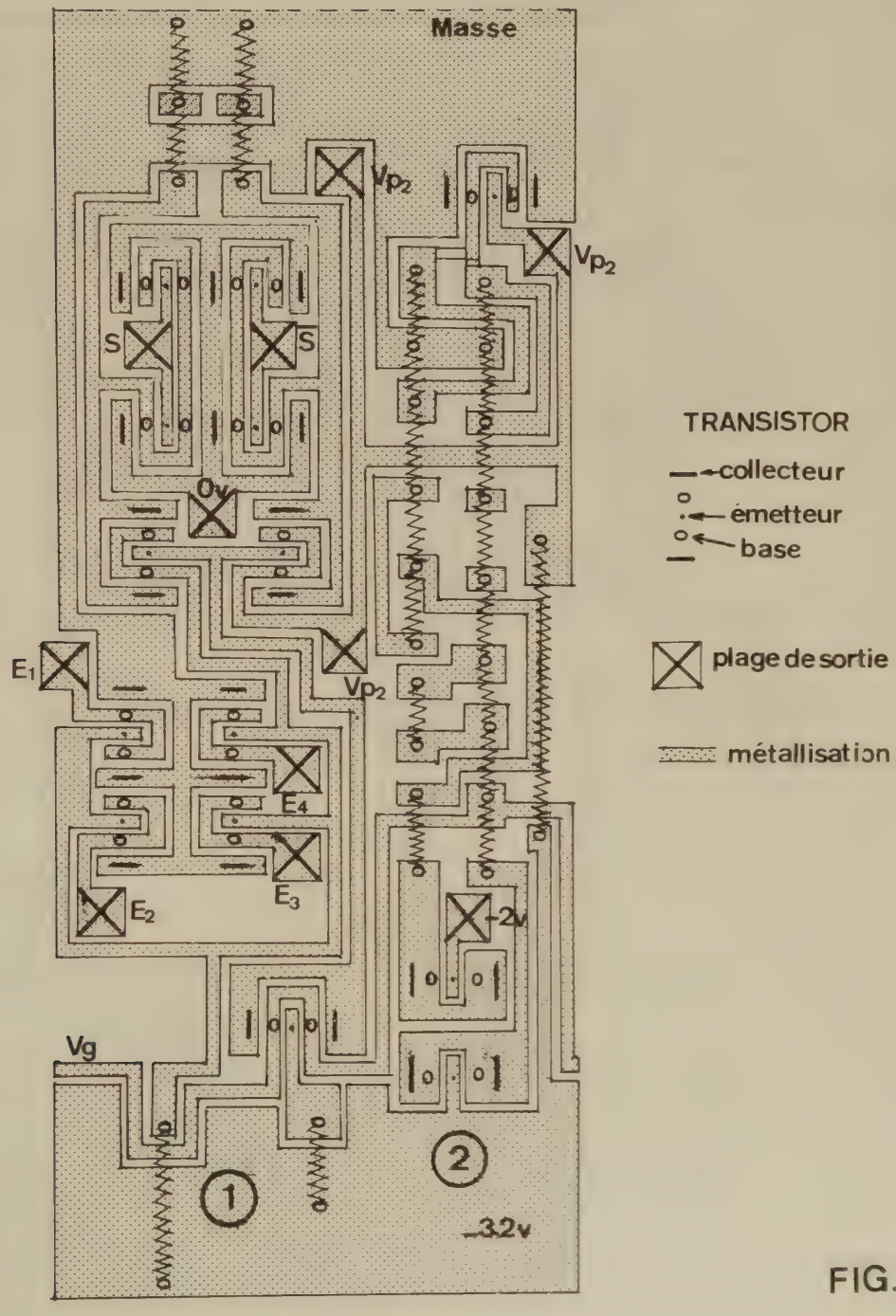
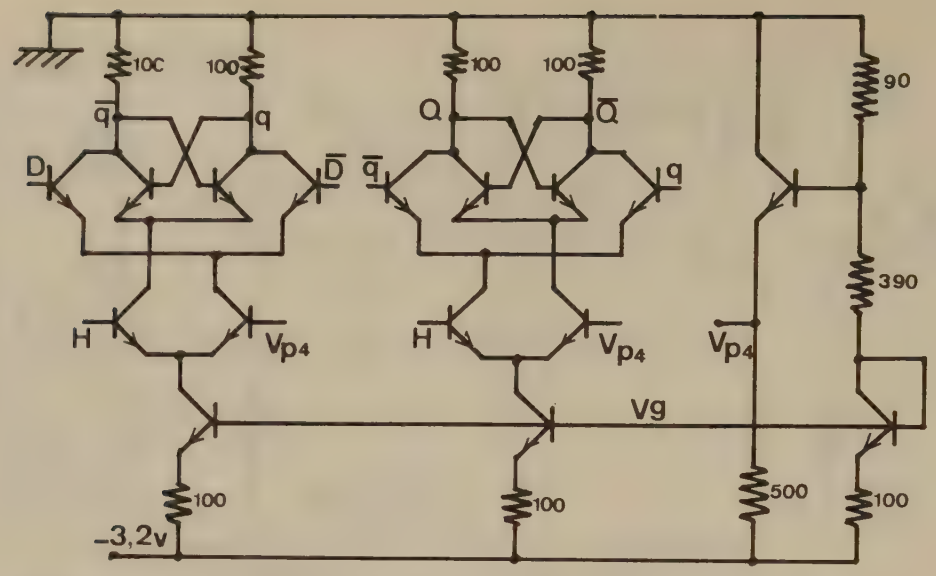

Masse
Vp2
Vp2
S
S
0v
E1
Vp2
E4
E3
E2
-2v
Vg
1
2
-3,2v
TRANSISTOR
collecteur
émetteur
base
plage de sortie
métallisation

FIG. 39


100
100
100
100
90
q̄
q
Q
Q̄
D
D̄
q̄
q
390
H
Vp4
H
Vp4
Vp4
Vg
100
100
500
100
-3,2v

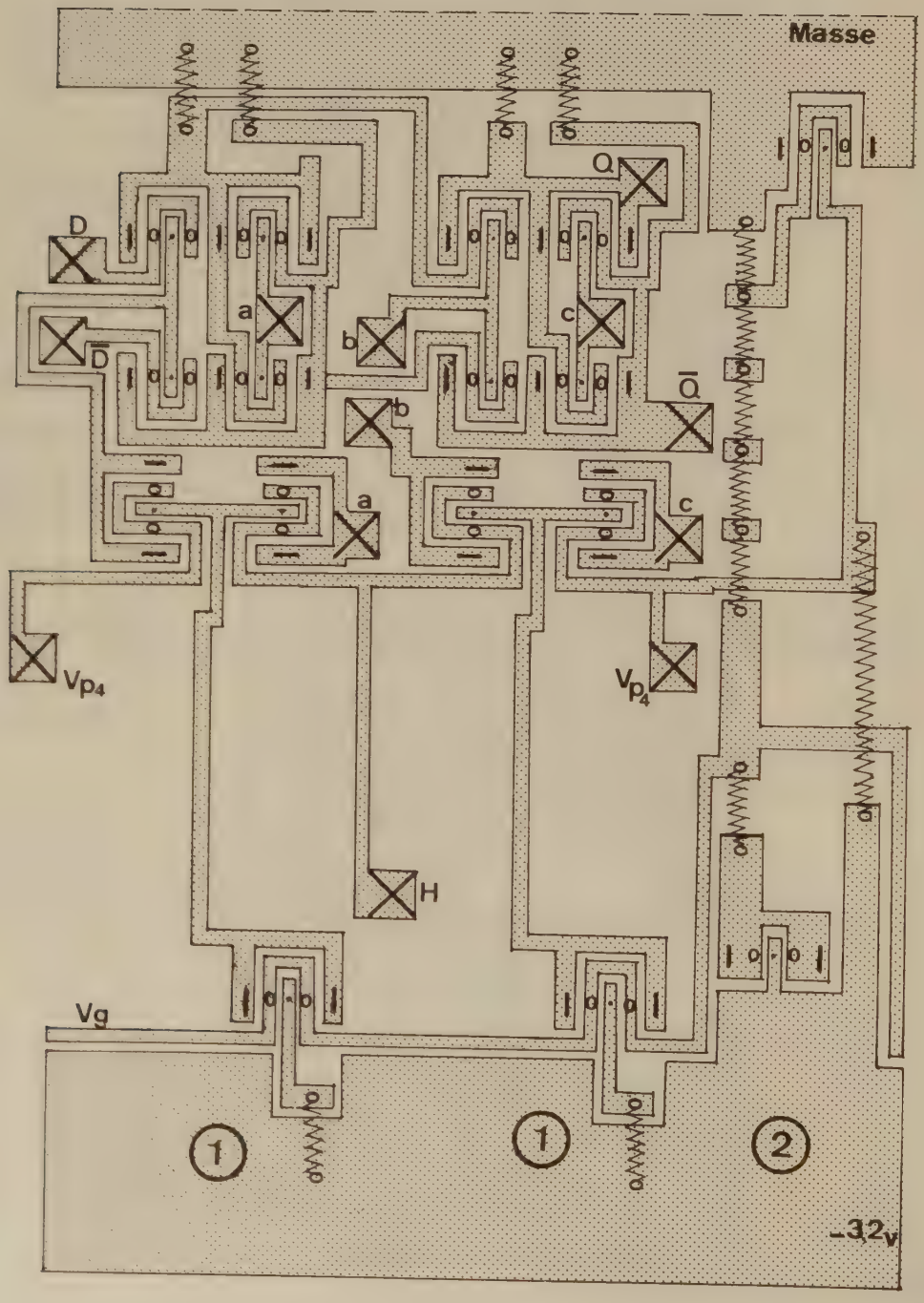
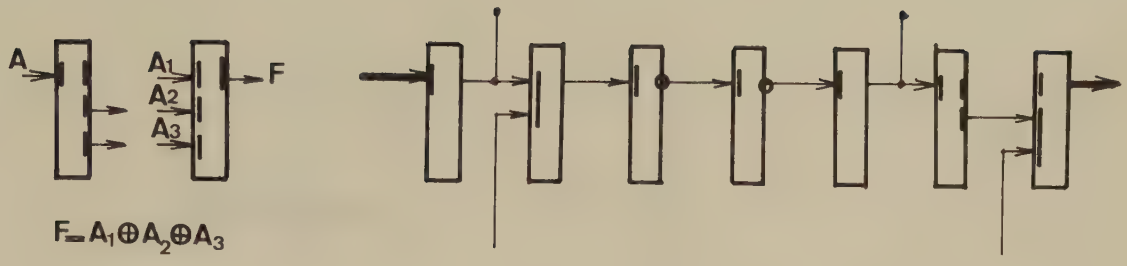
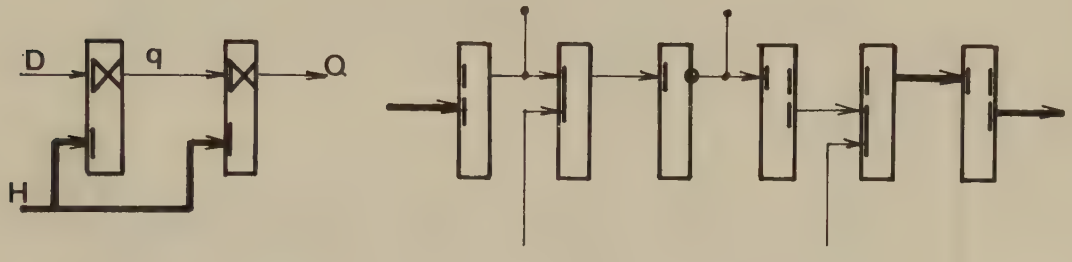

Masse
Q
D
a
b
c
D̄
Q̄
b
a
c
Vp4
Vp4
H
Vg
1
1
2
-3,2v

FIG. 40

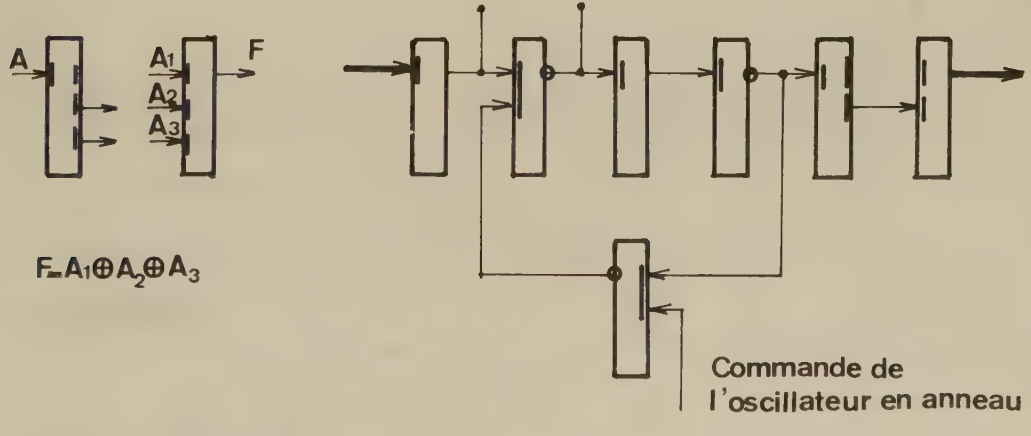


1



Bascule D maître-esclave

2



3 Interconnexions bicouche

FIG.41

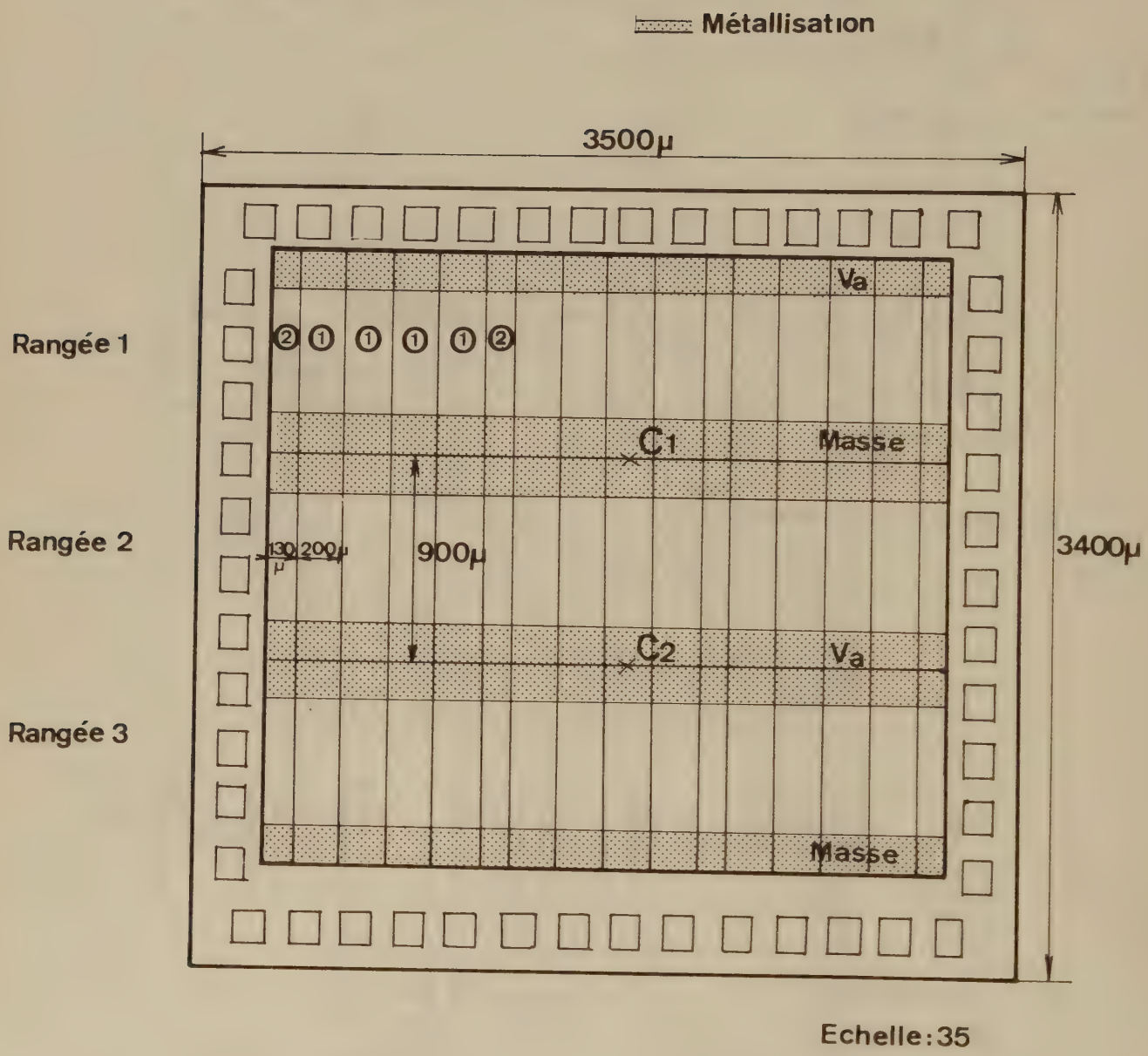
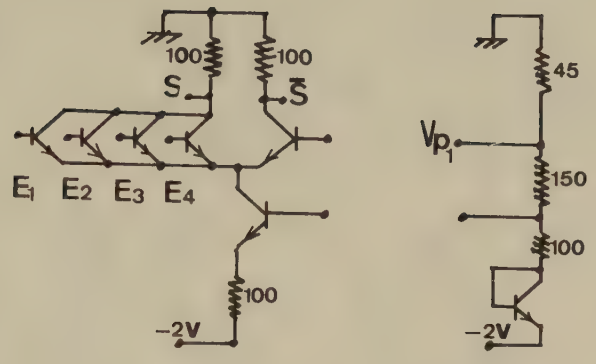
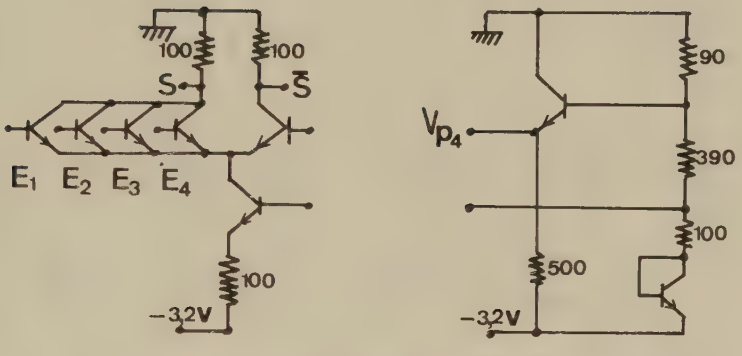

Métallisation
3500µ
Va
Rangée 1
② ① ① ① ① ②
C1
Masse
Rangée 2
130µ
200µ
900µ
3400µ
C2
Va
Rangée 3
Masse
Echelle: 35

FIG.42

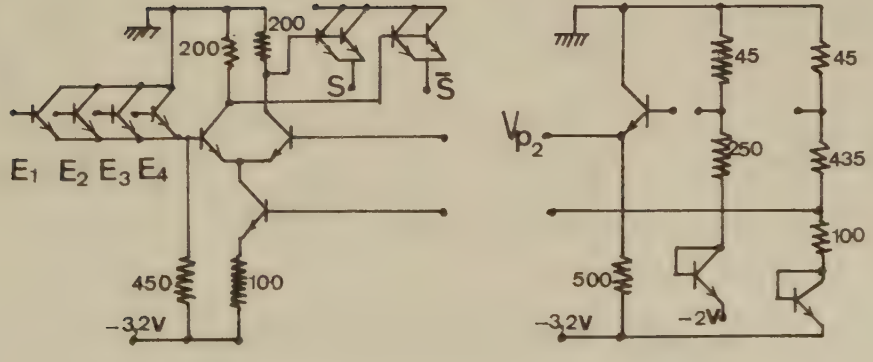
$S=\overline{E_1+E_2+E_3+E_4}$



Partie interne . Opérateur I-I

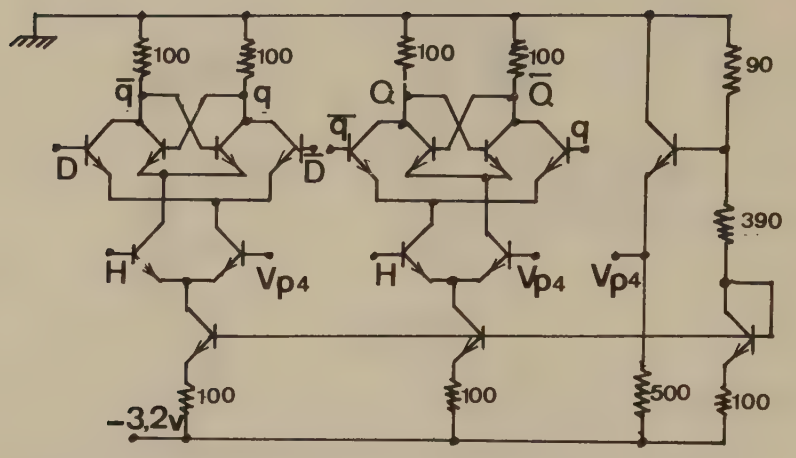


Interface d'entrée . Opérateur XE-I

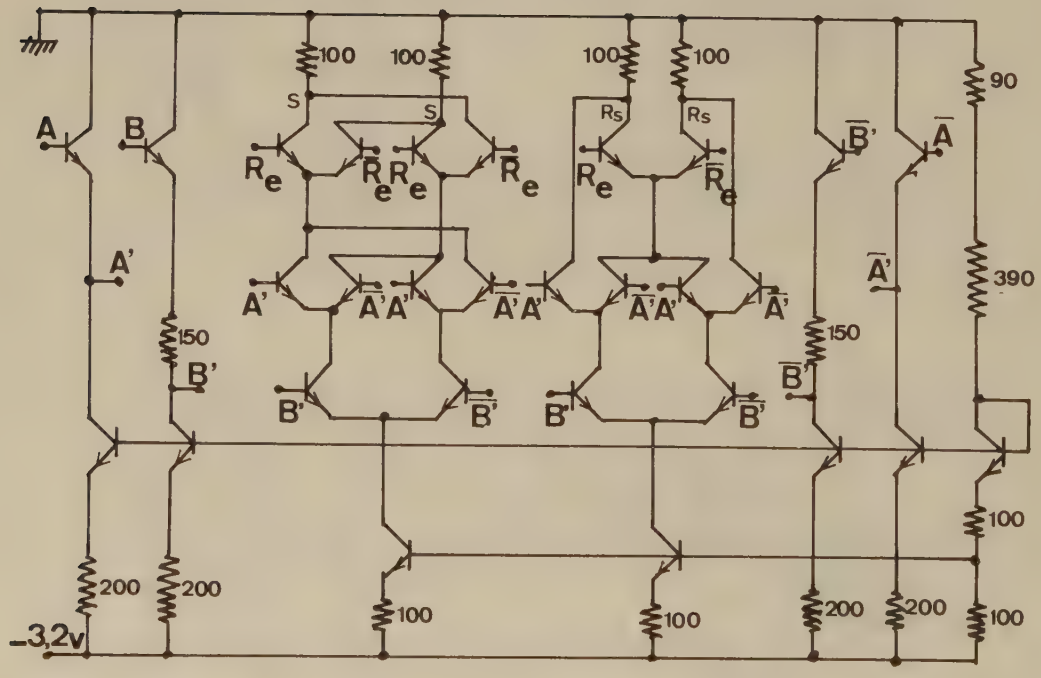


Interface de sortie . Opérateurs I-DI
XI-E
E-DE

FIG.43

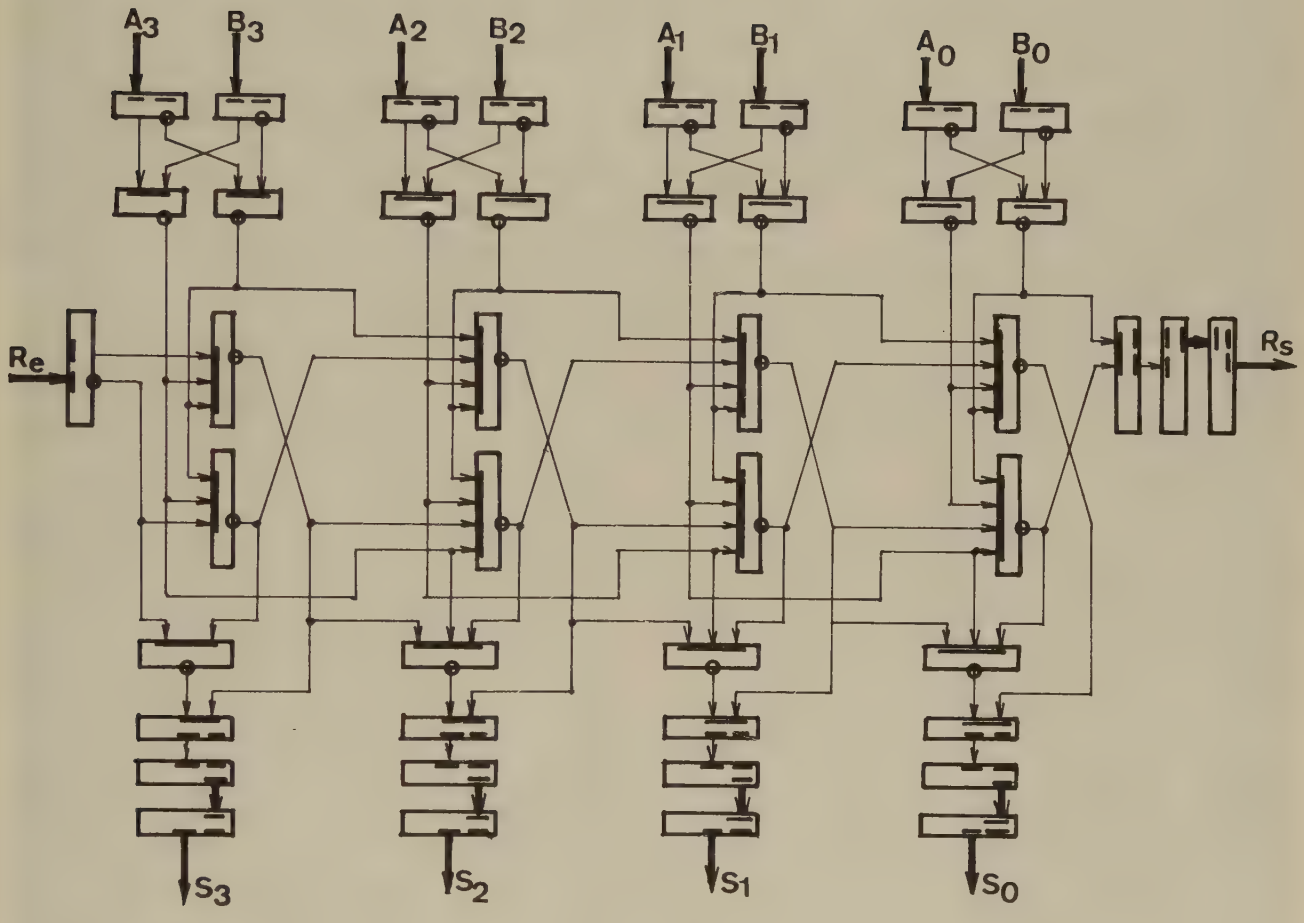


Bascule maître esclave. 2opérateurs IE.I



Etage d'additionneur. Opérateurs IILI (2)
I.DI (2)
I.DDI (2)

FIG. 44



Circuit **A**

FIG.45

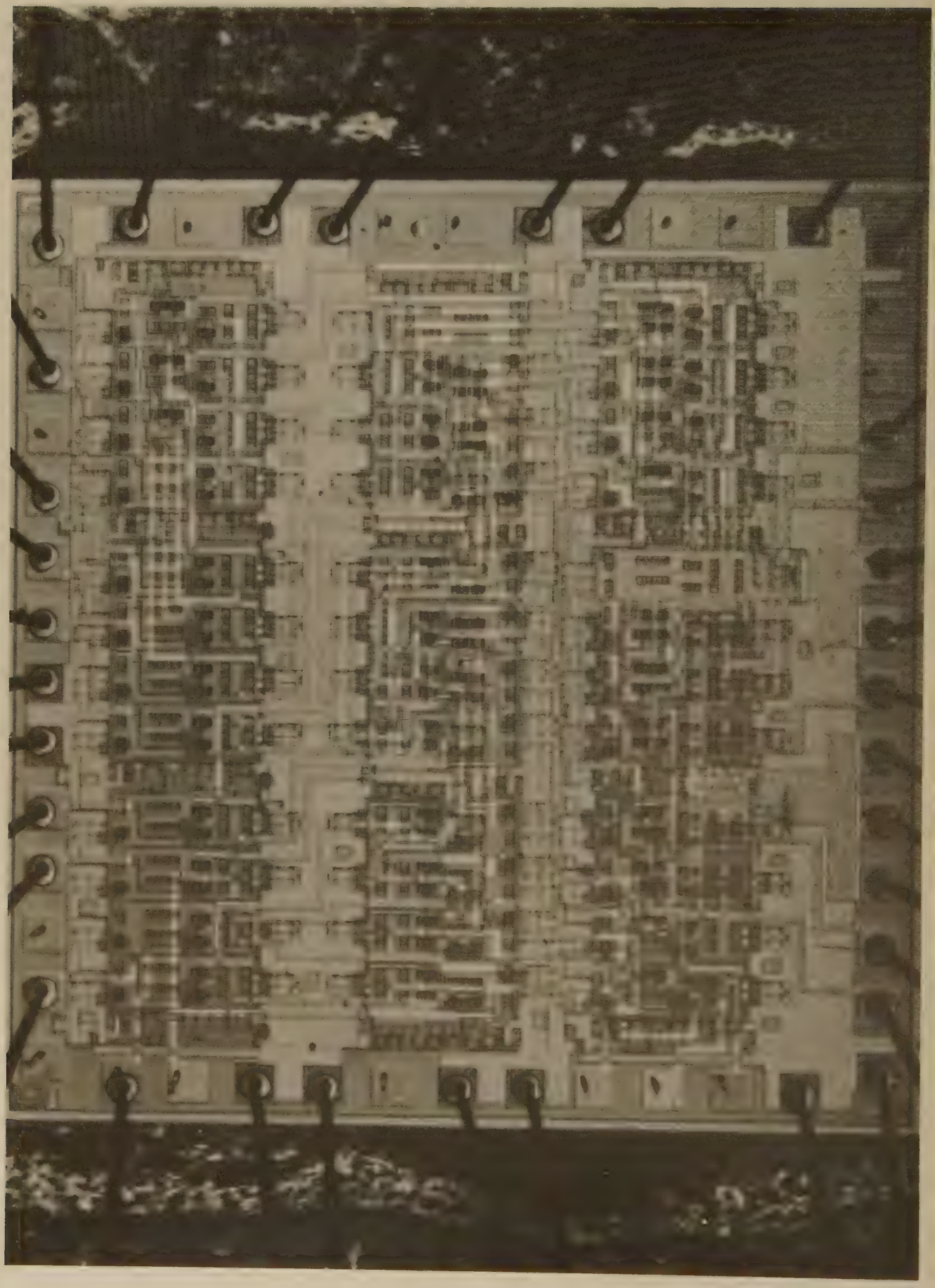
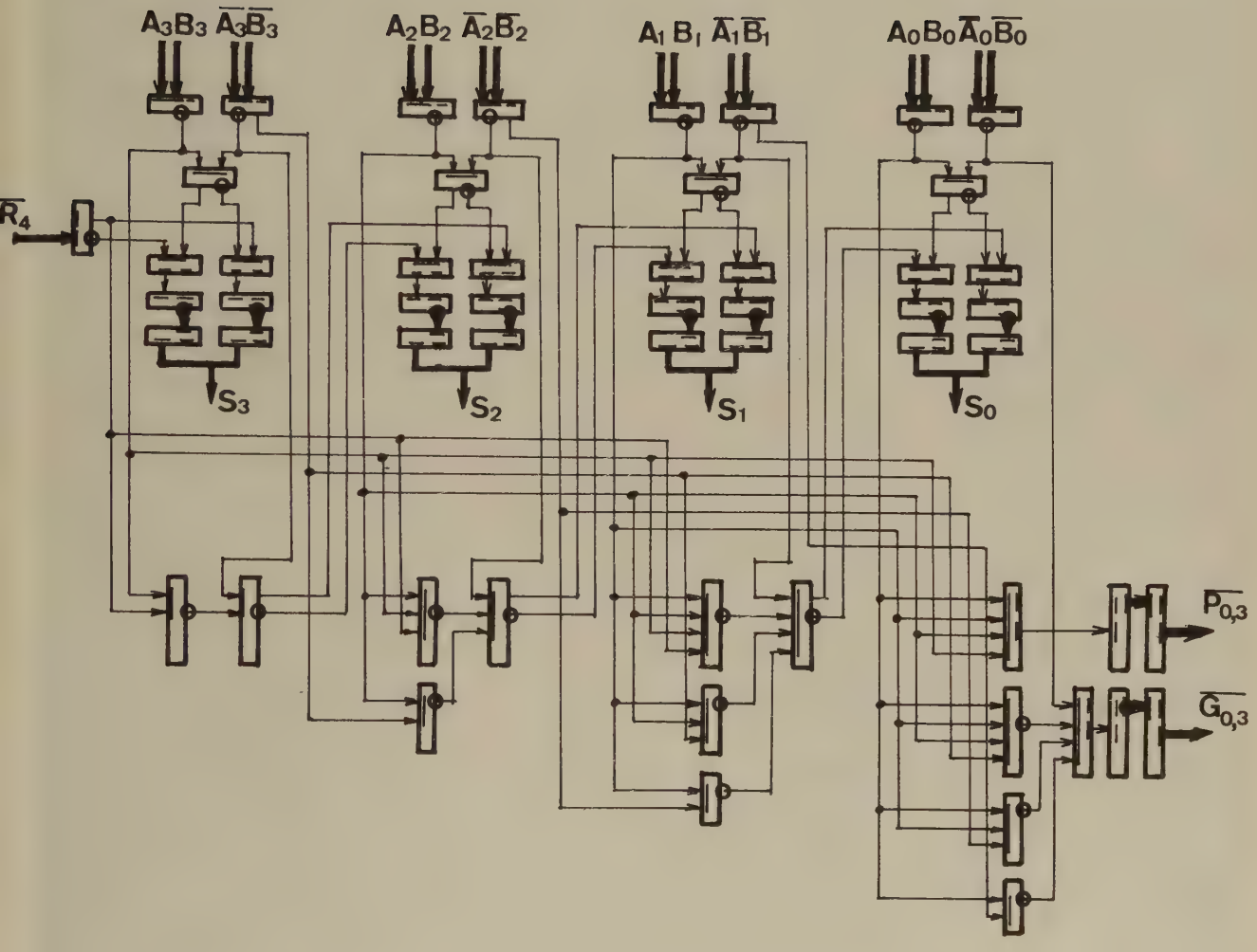
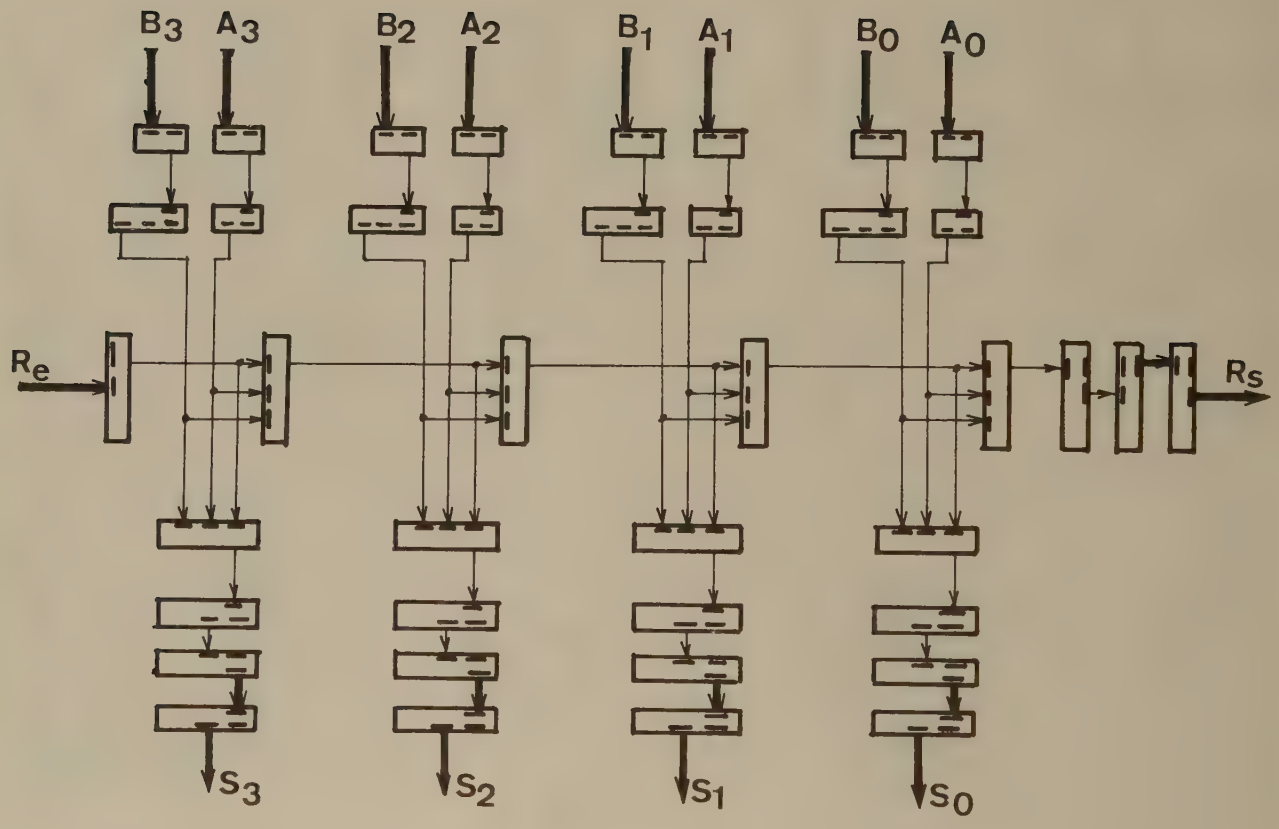


FIG. 45'



Circuit **B**

FIG. 46



Circuit C

FIG.47

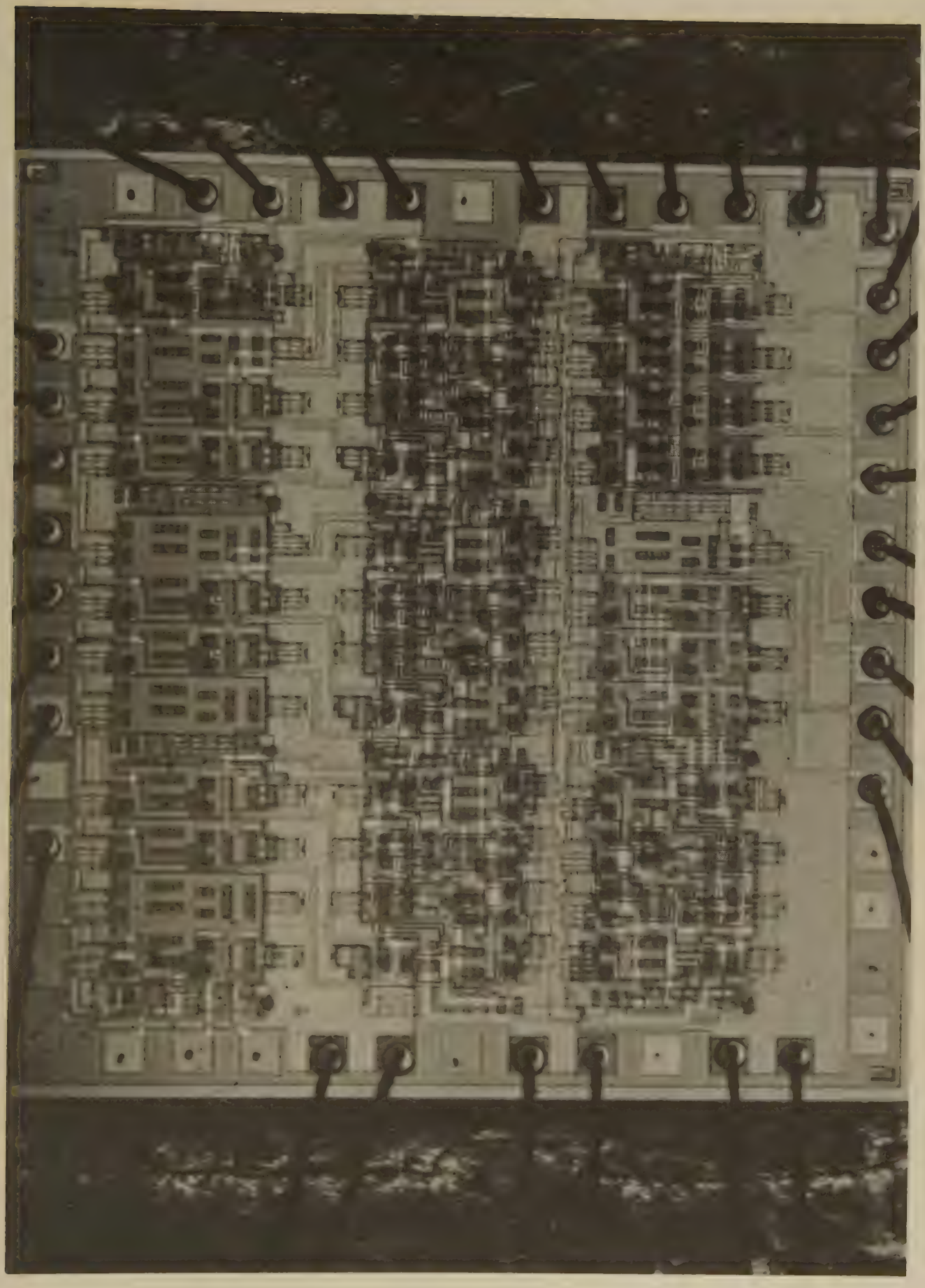
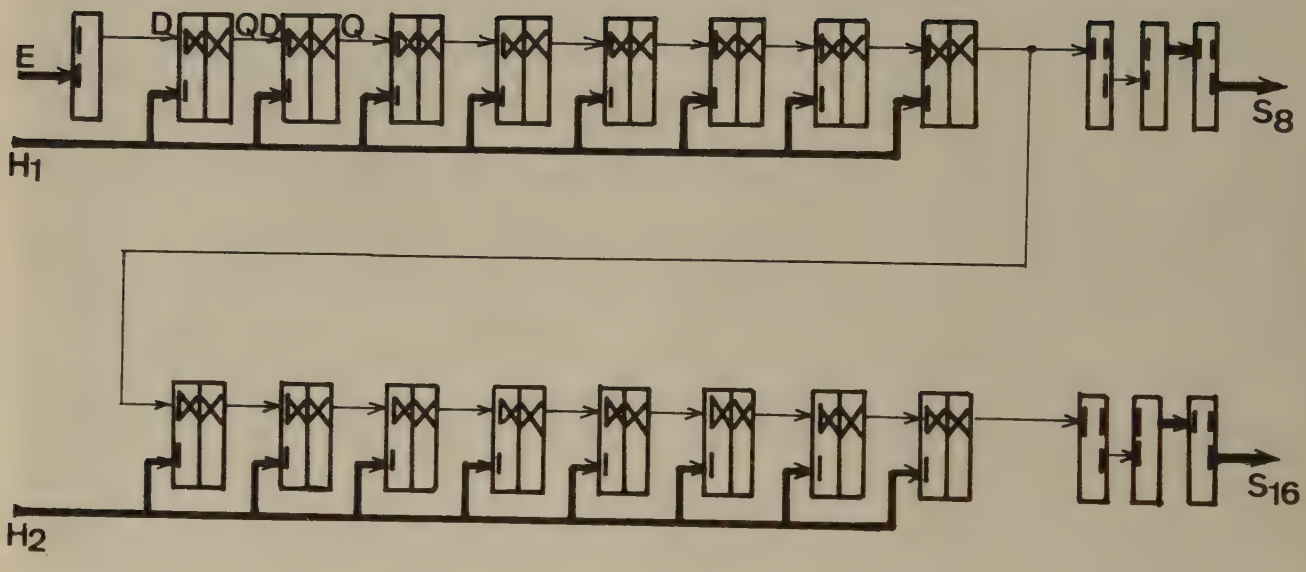


FIG.47'



Circuit **D**

FIG. 48

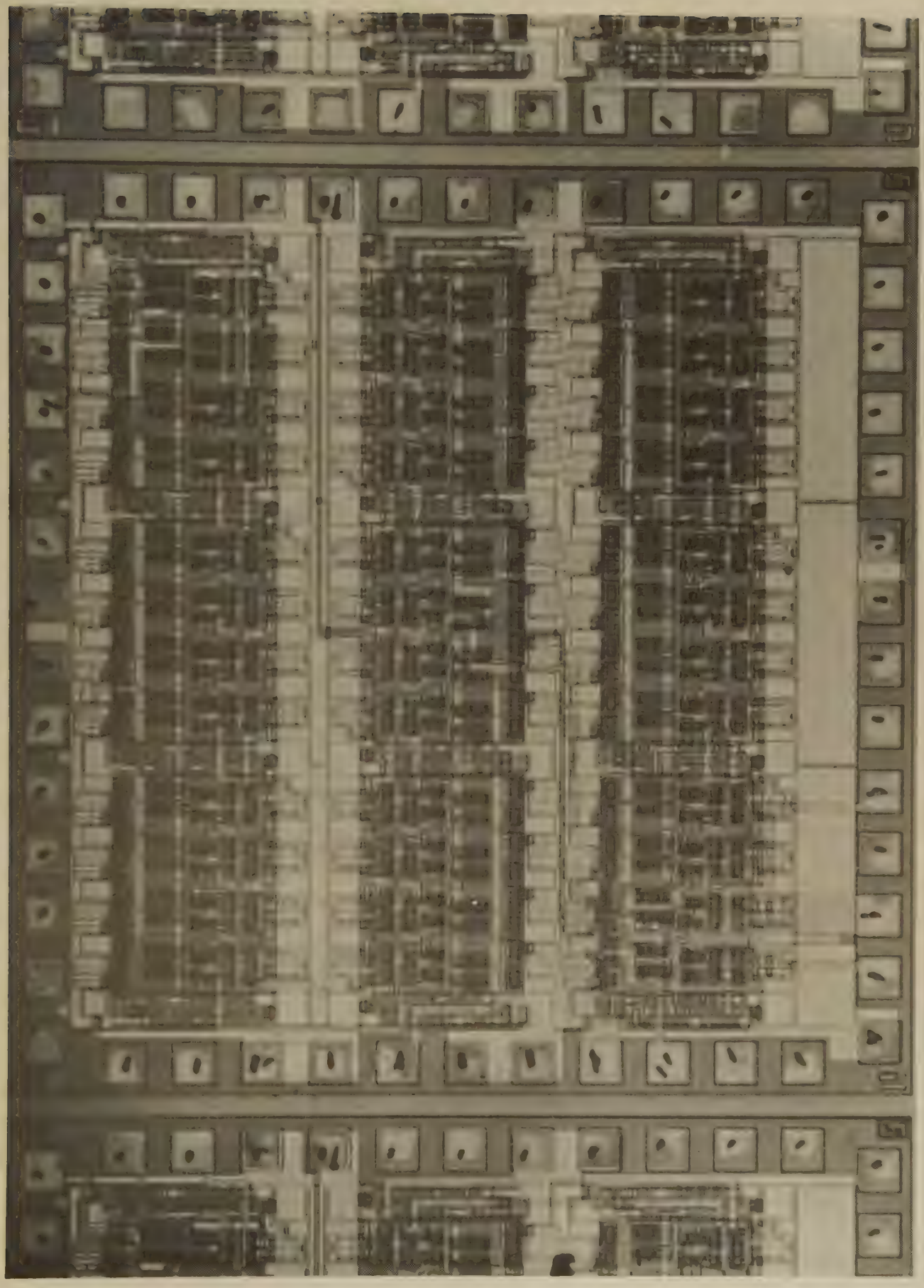
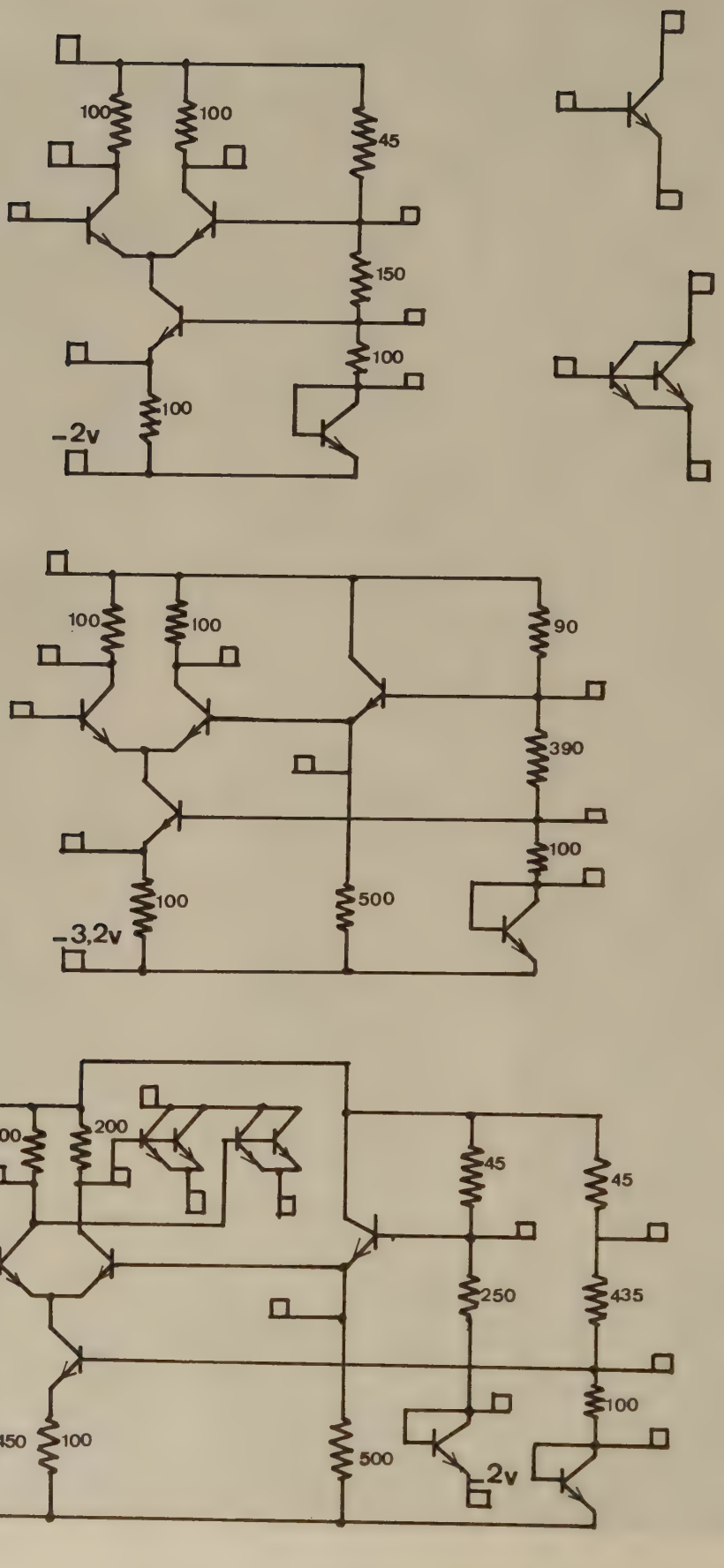


FIG. 48'

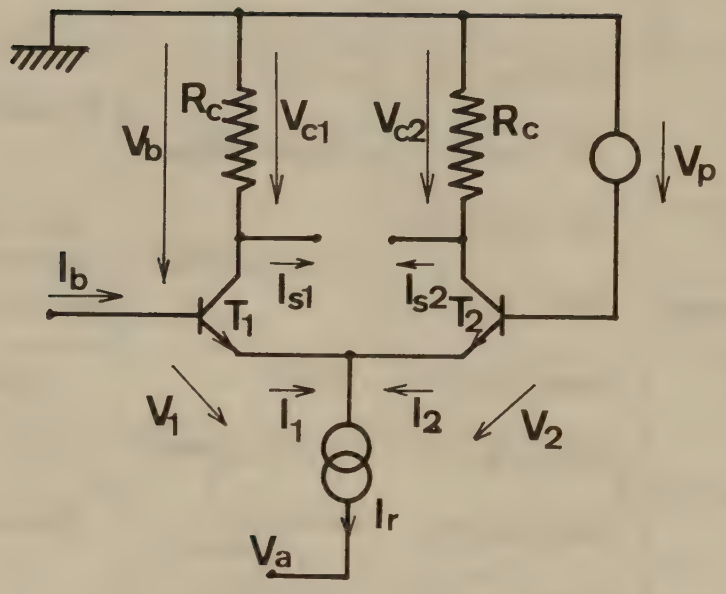


Circuit de test

FIG. 49

CIRCUITS	Module	Référence	Entrées	Sorties	Vitesse
Compteur	1000	fig.28	Série+R.à Z.	Parallèles	Fmax 300 Mhz
	100	fig.28	Série+Parallèles		
Décompteur	100	fig.28	Série+Parallèles	Parallèles + Détection de passage à zéro	
Compteur décompteur	100	fig. 29			
Registre à décalage	16bits	fig.44,48	Série	Série	
	8bits	fig.26	Série+Parallèles	Parallèles	
	8 bits	fig.26	Série(droite) + Série(gauche)		
	6bits	fig.27	Série(droite) + Série(gauche)+ Parallèles		
Décodeur	3 bits	fig.30	Parallèles	8 sorties	5 ns
Générateur de parité	16 bits	fig.30		1 sortie	4 ns
Codeur à lignes prioritaires	8 voies	[6]		4 sorties codées	9 ns
Multiplexeur	16voies	[6]	16 voies + 4 bits d'adresse	1 sortie	4 ns
Démultiplexeur	16voies	[6]	1 voie + 4 bits d'adresse	16sorties	
Additionneur	4 bits	fig.45 47	Parallèles	4 bits somme 1 bit retenue	8 ns
		fig. 46		4 bits somme 2 bits retenue	6 ns
Unité logique et arithmétique	4 bits	fig. 34	Parallèles + 4 bits de contrôle+ 1 entrée MODE	16 fonct. logiques 16 fonct. arithmèt.	6 ns
Générateur de retenue anticipée	4x4 bits	[6]	4 retenues anticipées sur 4 bits	1 retenue anticipée sur 16 bits	5 ns

FIG.50


Rc
Vc1
Vc2
Rc
Vb
Vp
Ib
Is1
Is2
T1
T2
V1
I1
I2
V2
Ir
Va

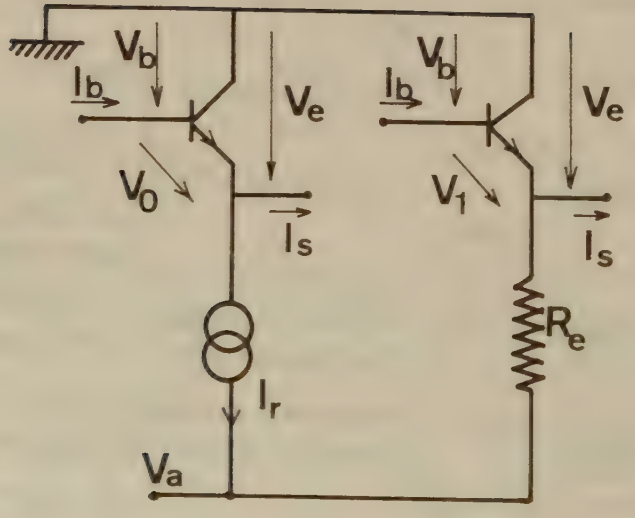
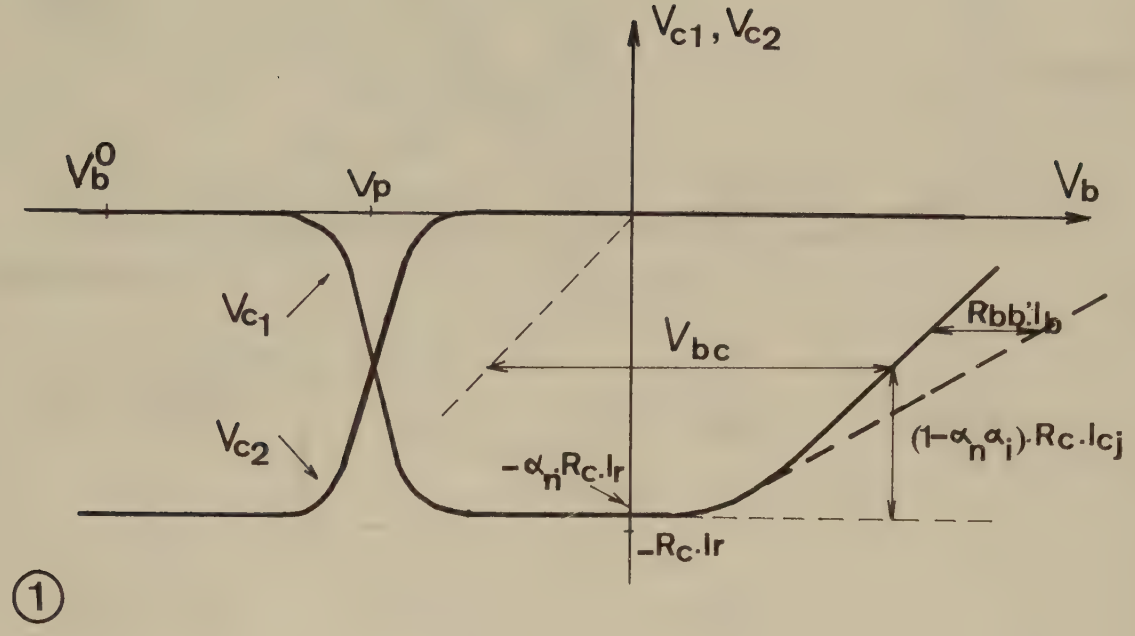

Vb
Ib
Ve
Vb
Ib
Ve
V0
V1
Is
Is
Re
Ir
Va

FIG.51


V_{c1}, V_{c2}
V_b^0
V_p
V_b
V_{c1}
V_{c2}
V_{bc}
$R_{bb'}.I_b$
$(1-\alpha_n\alpha_i).R_c.I_{cj}$
$-\alpha_n.R_c.I_r$
$-R_c.I_r$
①

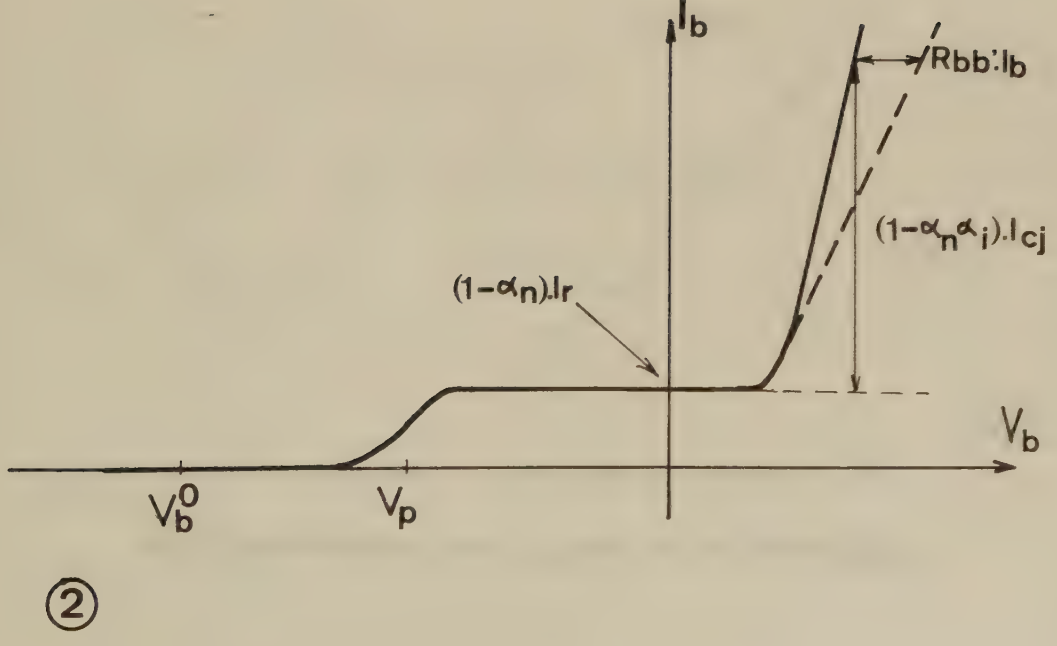
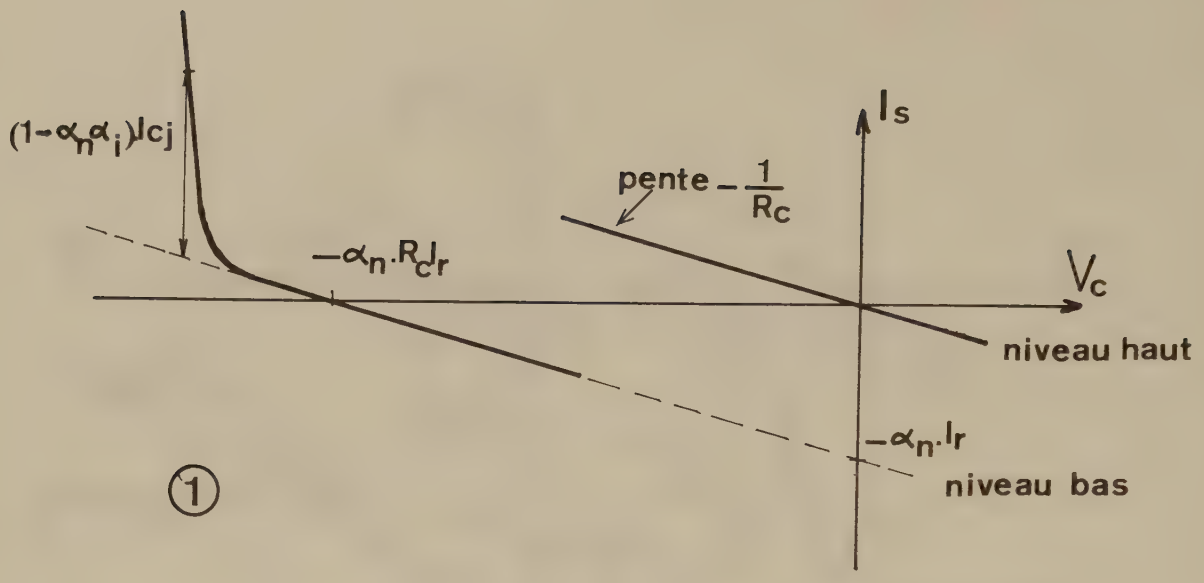
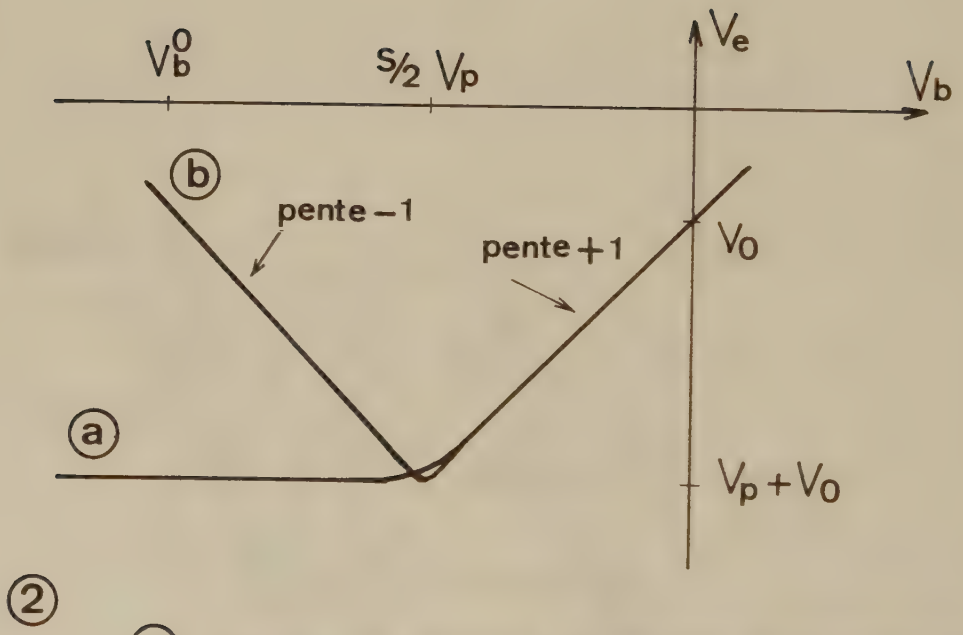

I_b
$R_{bb'}.I_b$
$(1-\alpha_n\alpha_i).I_{cj}$
$(1-\alpha_n).I_r$
V_b
V_b^0
V_p
②

FIG. 52





ⓐ Attaque par rapport à la tension de référence V_p

ⓑ Attaque par des signaux complémentaires

FIG.53

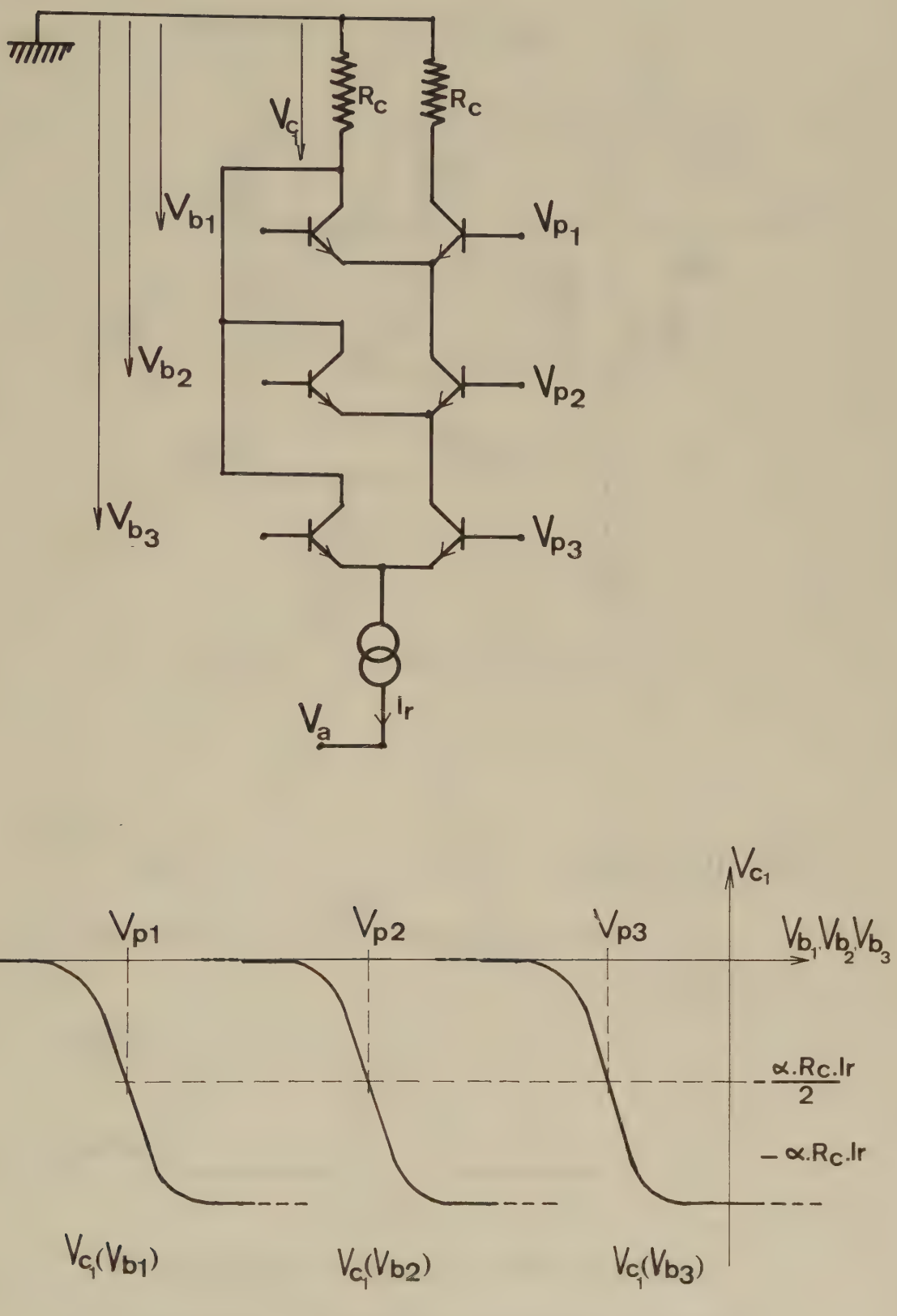
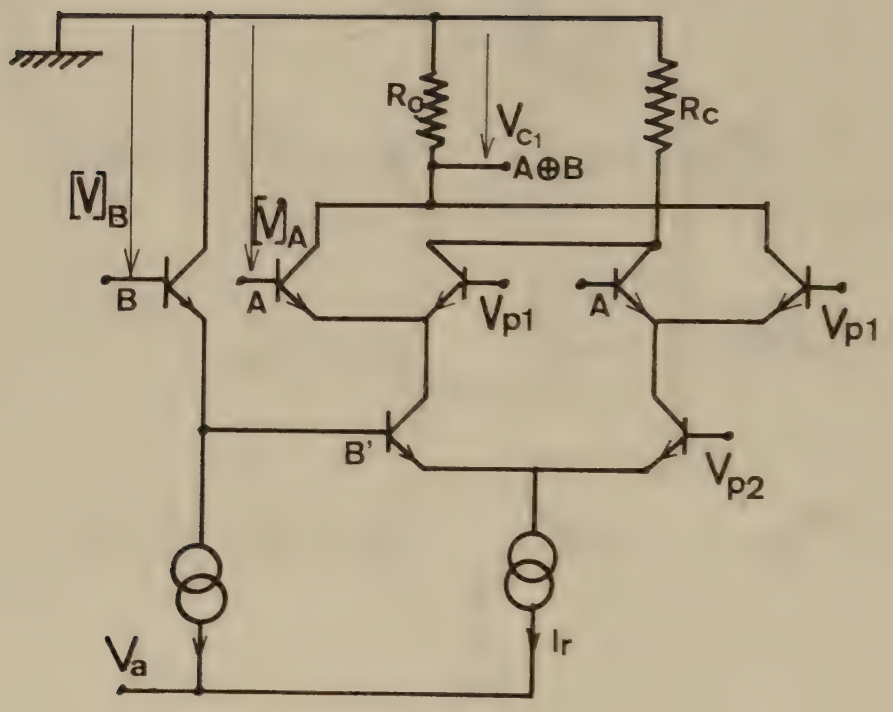

Rc
Rc
Vc1
Vb1
Vp1
Vb2
Vp2
Vb3
Vp3
Va
Ir
Vc1
Vp1
Vp2
Vp3
Vb1 Vb2 Vb3
∝.Rc.Ir / 2
− ∝.Rc.Ir
Vc1(Vb1)
Vc1(Vb2)
Vc1(Vb3)

FIG.54


Ro
Vc1
A⊕B
Rc
[V]B
[V]A
B
A
Vp1
A
Vp1
B'
Vp2
Va
Ir

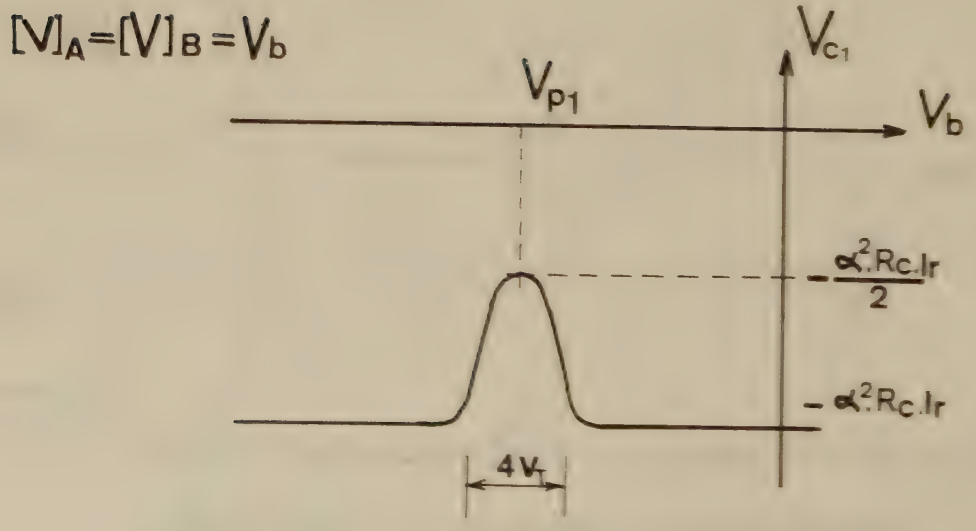
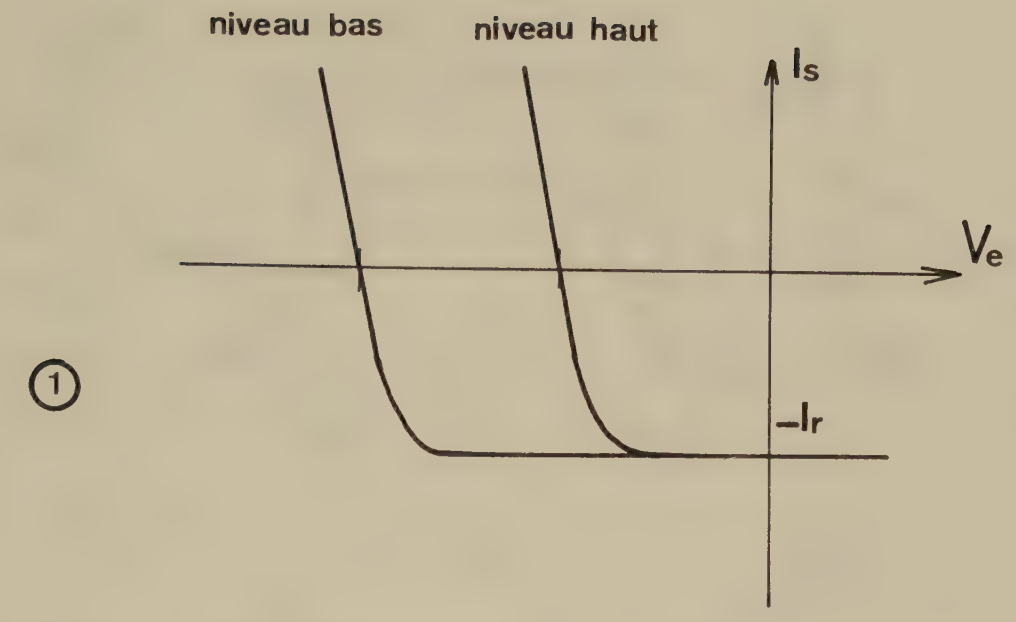
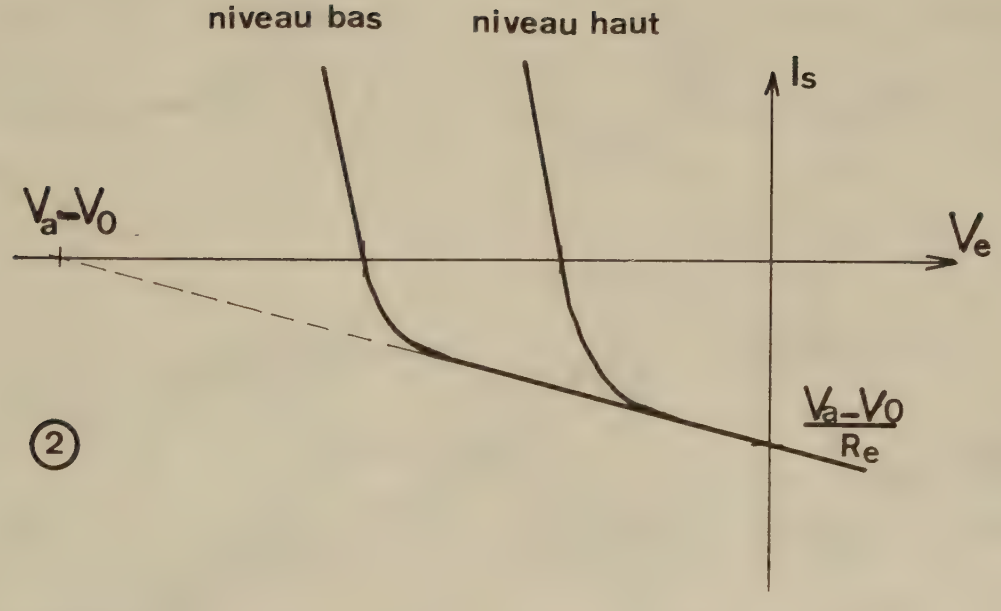

[V]A=[V]B=Vb
Vc1
Vp1
Vb
-α².Rc.Ir/2
-α².Rc.Ir
4Vt

FIG.55



①

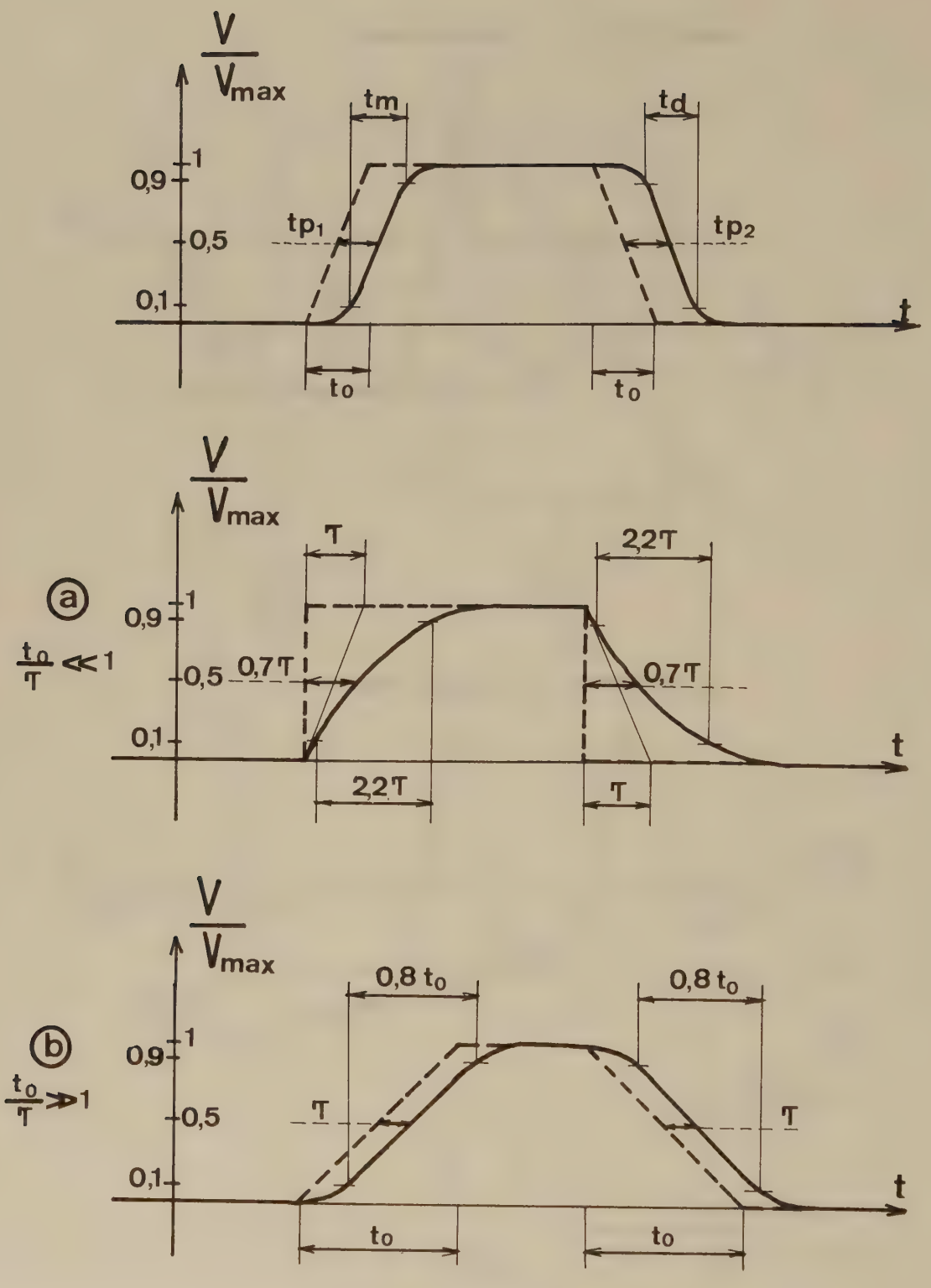


②

① Circuit de décalage à courant constant

② Circuit de décalage à résistance d'émetteur

FIG. 56

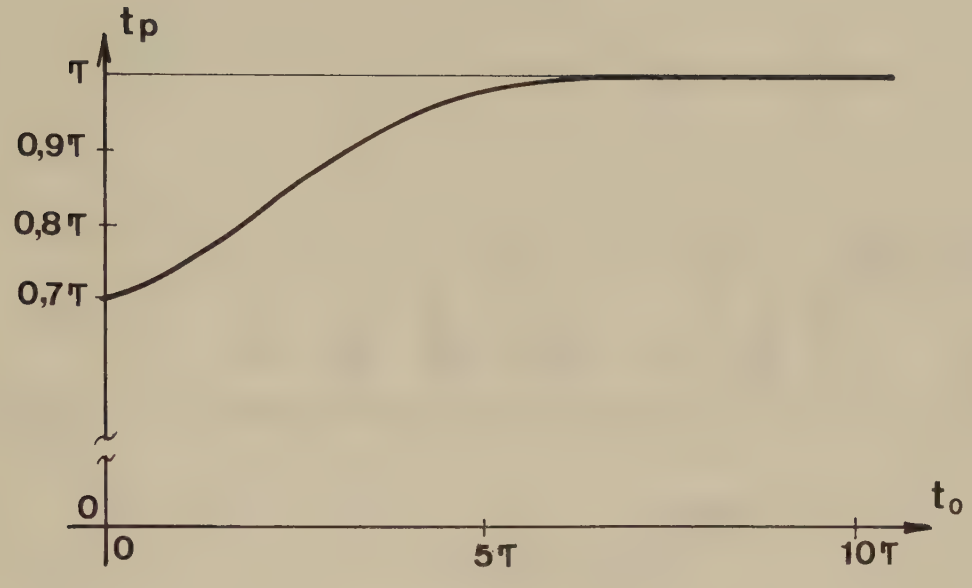


Réponse d'un circuit du 1er ordre

ⓐ à un front rapide

ⓑ à un front lent

FIG.57


t_p
τ
0,9τ
0,8τ
0,7τ
0
0
5τ
10τ
t_o

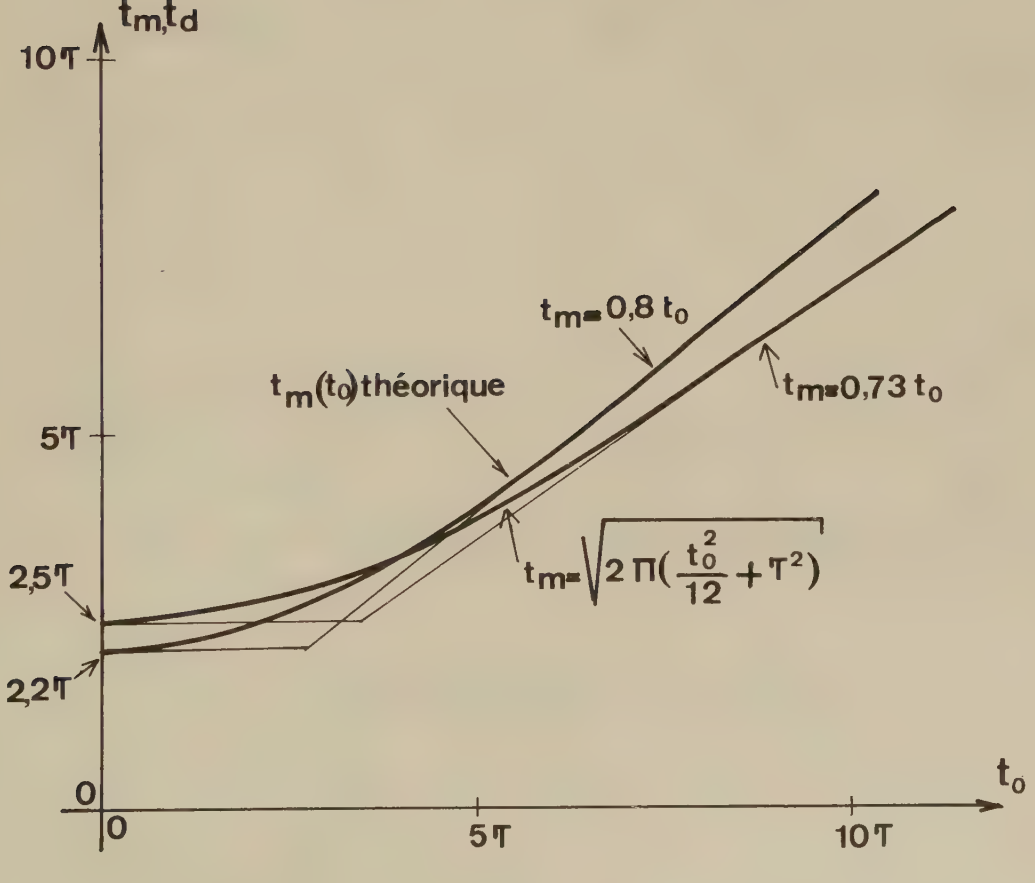
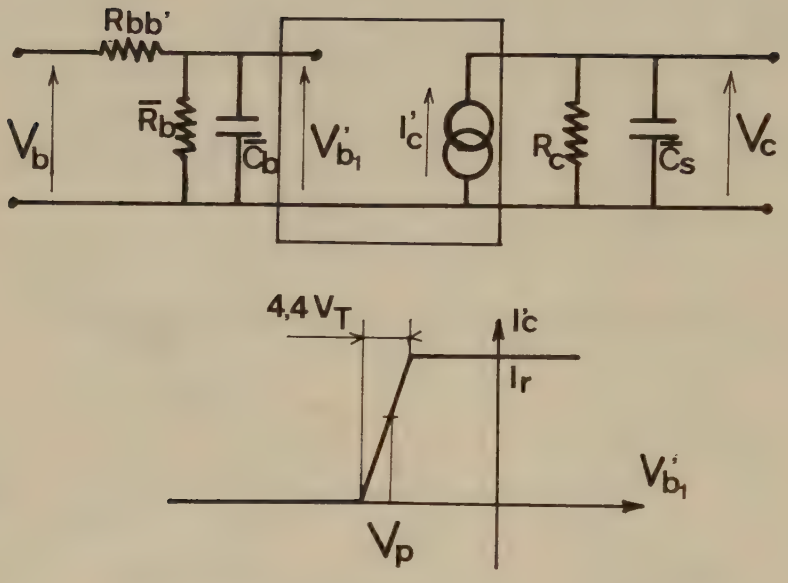
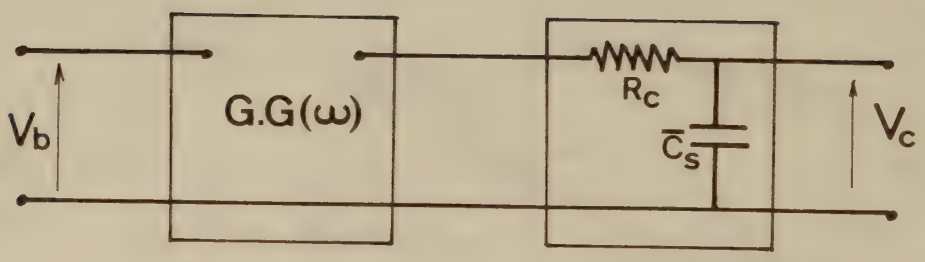

t_m, t_d
10τ
5τ
2,5τ
2,2τ
0
0
5τ
10τ
t_o
$t_m = 0{,}8\, t_o$
$t_m(t_o)$ théorique
$t_m = 0{,}73\, t_o$
$t_m = \sqrt{2\,\Pi\left(\frac{t_o^2}{12} + \tau^2\right)}$

FIG.58





$$G(\omega) = \exp -\left(j.K\left(\frac{t_0}{\tau_b}\right).\tau_b.\omega\right)$$

FIG.59

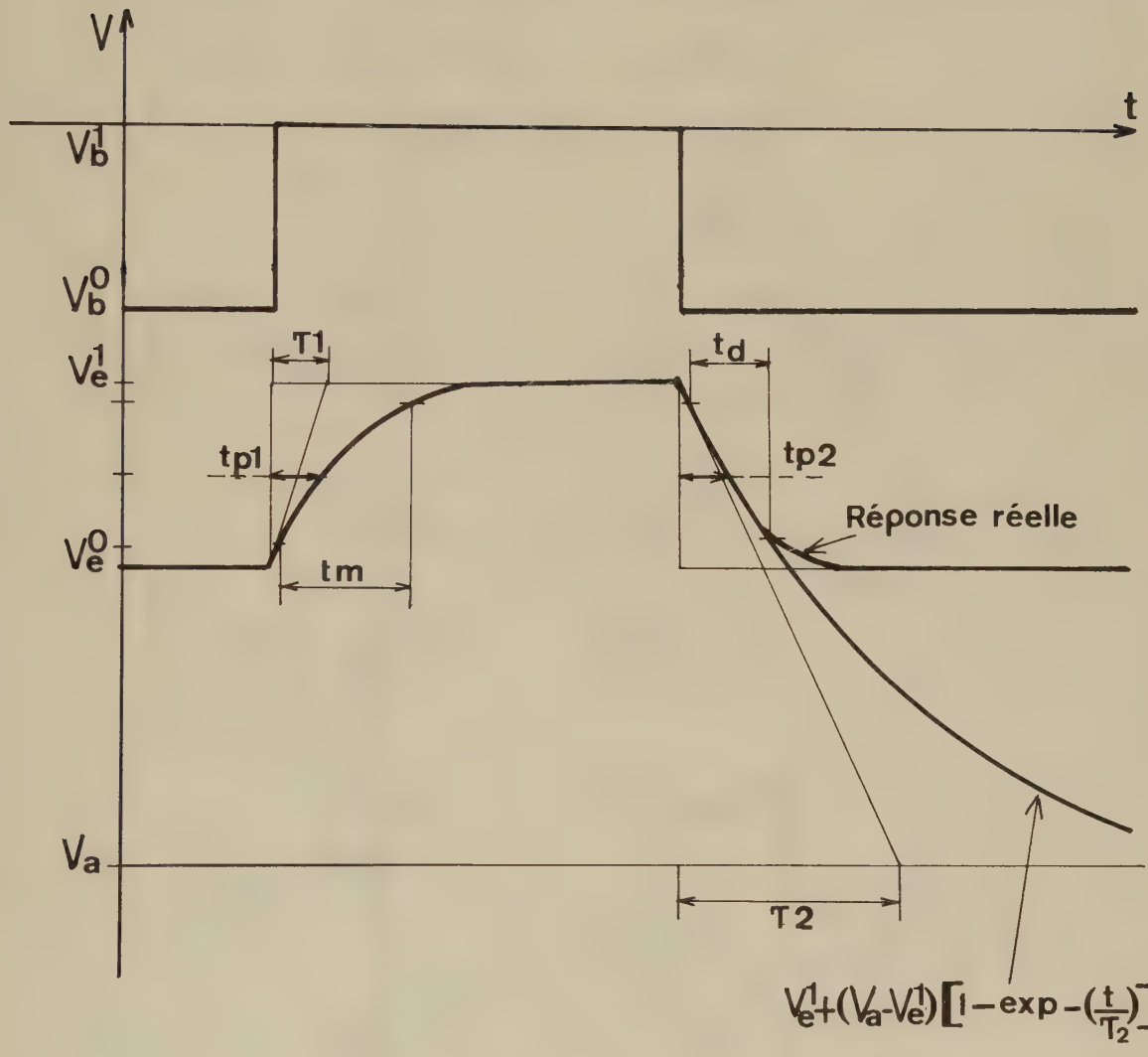
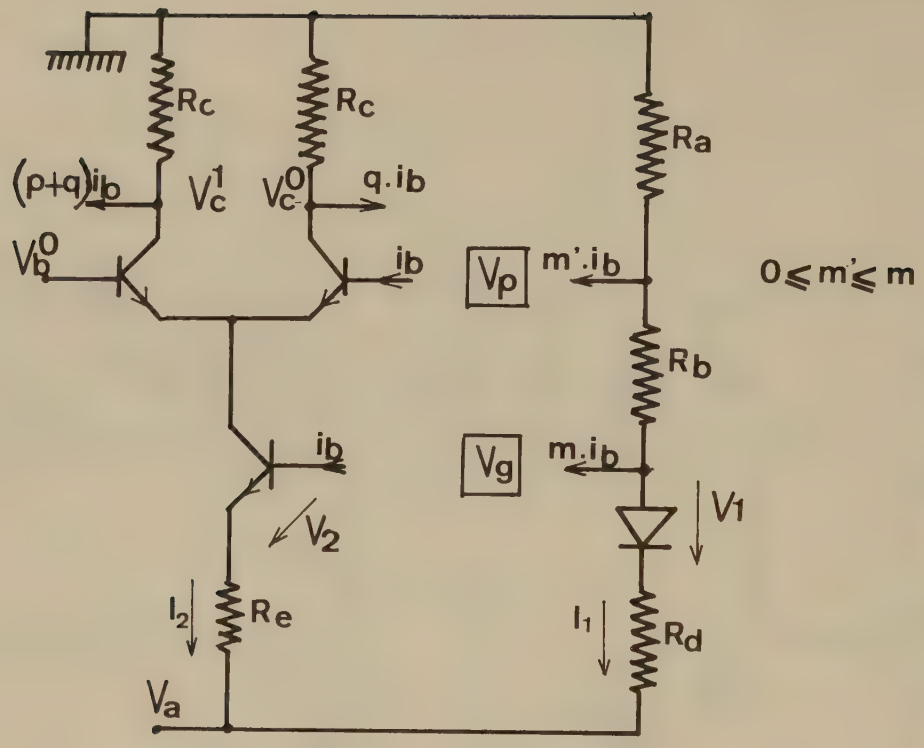

V
t
V_b^1
V_b^0
V_e^1
V_e^0
V_a
T1
t_d
tp1
tp2
tm
T2
Réponse réelle
$V_e^1+(V_a-V_e^1)\left[1-\exp-\left(\frac{t}{T_2}\right)\right]$

FIG.60


Rc
Rc
Ra
(p+q)ib
V1c
V0c
q.ib
V0b
ib
Vp
m'.ib
0≤m'≤m
Rb
ib
Vg
m.ib
V1
V2
I2
Re
I1
Rd
Va

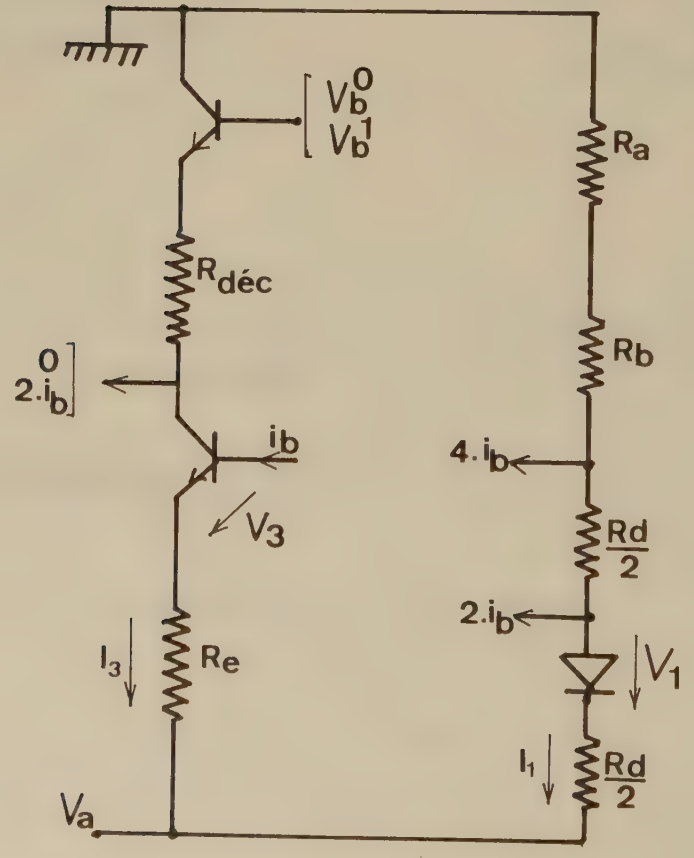

V0b
V1b
Ra
Rdéc
Rb
0
2.ib
ib
4.ib
V3
Rd/2
2.ib
I3
Re
V1
I1
Rd/2
Va

FIG.61

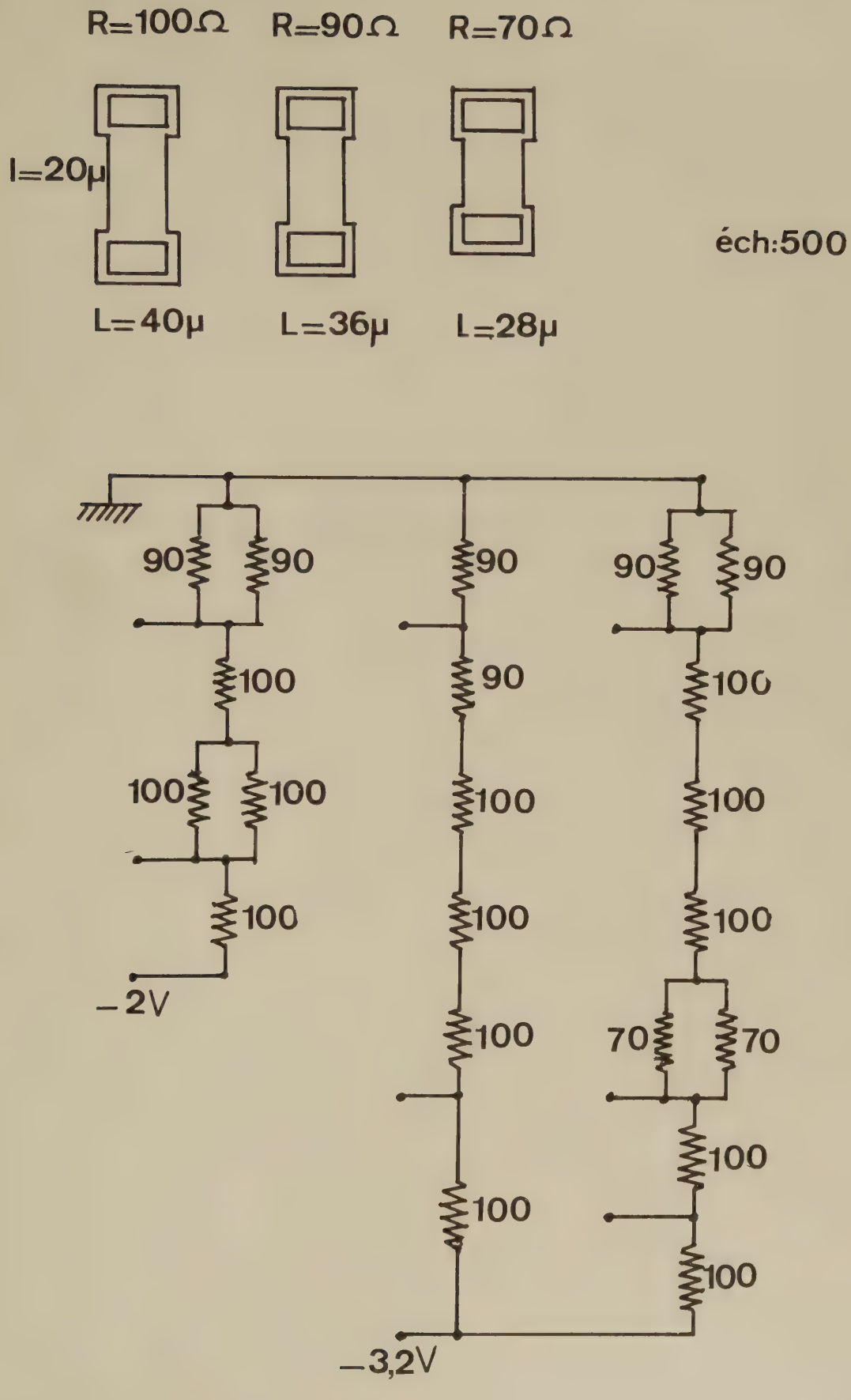
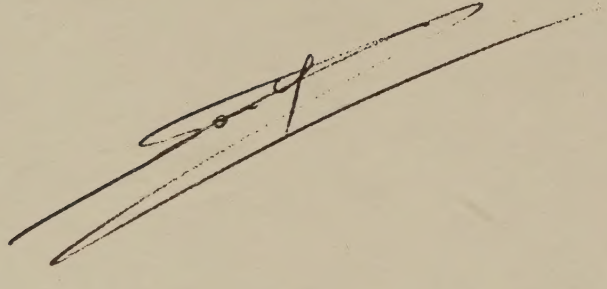

R=100Ω
R=90Ω
R=70Ω
l=20µ
L=40µ
L=36µ
L=28µ
éch:500
90
90
90
90
90
100
90
100
100
100
100
100
100
100
100
100
100
70
70
100
100
100
−2V
−3,2V

FIG.62

Vu

et Permis d'Imprimer

GRENOBLE, le

Le Président de l'Université Scientifique et Médicale